静電気学会誌，4，1 (1980)，30 37

論　　文

電気集塵装置用パルス電源について（その3）

増田閃一*，小畑貞二**，平井淳之***

(1979年5月2日受理)

Pulse Voltage Source for Electrostatic Precipitators (Part 3)

S. MASUDA,* S. OBATA** and J. HIRAI***

(Received May 2, 1979)

In the previous two papers, we discussed about the pulse generators using LC oscillation to apply to the large capacitive load. And we could practically show the output pulse voltages of such generators in low voltage circuits. In this paper, we discuss about the probrems to use LC oscillation in a high voltage pulse generator. First, many thyristers must be connected in series to generate 20,000 V pulse voltage. Then it is very important to equalize the voltages which are applied to each thyrister in series. Second, the pulse transformer can be used to reduce the number of thyristers connected in series. In this case, the influence of the leakage reactance or capacitance of the pulse transformer on the pulse width is important. We present both circuits of direct coupling and pulse transformer coupling systems of high voltage pulse generator. Some of the operation data are shown and we discuss about the difference between the measured and the calculated values.

1. まえがき

筆者らは先の論文において，大きな電極間静電容量を有する電気集塵装置にパルス電圧を印加するさいの問題点について論じ，それを解決する方法としてLC振動回路を応用する方式とその理論解析を紹介した[1,2]．しかし，前の論文では低電圧回路における理論の正当性は実証したものの，高電圧回路への本方式の適用とそのさい発生すると予想される個々の問題点については論じなかった．その後，筆者らは本方式を実用化した高電圧パルス発生装置（出力電圧波高値 20 kV，出力平均電流 5 mA，パルス幅 450 μs，パルス繰返し周波数 500 Hz 以下，負荷静電容量 0.01 μF）を製作し，前報の理論が高電圧回路においても十分に適用できることを確認した．以下にその結果について報告する．

なお，このパルス電源の動作原理については前述の論文で詳細に論じているのでここではとりあげず，図1にその基本回路を示すにとどめる．ただし，前の低電圧動作特性の確認試験のさいにはパルス電圧の極性がプラスであったのに対し，今回は電気集塵装置への適用を考慮し，パルス電圧の極性はマイナスとしてある．そのため，回路中における素子の接続と各部の電圧，電流の極性が前回のものとは異なっている．

なお，本論文中で使用する電圧，電流などの記号，および式番号などは前述の論文中のものを一部そのまま使用した．

2. 高電圧パルス発作装置

ここでとりあげているような波高値 20 kV 程度の高いパルス電圧を発生させることは図1に示すような単一のサイリスタで実現することはできず，サイリスタの直列接続，あるいはパルストランスによる電圧の昇圧，などの方法を用いなければならない．本論文ではこれら両方式の問題点とその実験結果について報告する．

2.1 サイリスタの直列接続

サイリスタ素子単体の阻止電圧は現在最高のもので 5,000 V 程度であるため，それを越えた電圧で使用するためには素子を多数直列に接続して使用せざるをえない．その技術的諸問題に関しては，すでに多くの研究が行なわれ，すぐれた研究論文もみられる[3-7]．したがっ

* 東京大学工学部電気工学科（113 東京都文京区本郷 7-3-1）
Department of Electrical Engineering, Faculty of Engineering, University of Tokyo, 7-3-1, Hongo, Bunkyo-ku, Tokyo 113, Japan
** 石川島播磨重工業株式会社技術研究所（135-91 東京都江東区豊州 3-1-15）
Research Institute, Ishikawajima-Harima Heavy Industries Co., Ltd., 3-1-15, Toyosu, Koto-ku, Tokyo 135-91, Japan
*** 日本碍子株式会社碍子事業部設計部（485 小牧市大字二重堀字田上）
Engineering Department, Insulator Division, NGK Insulators, Ltd., Aza-Tagami, Futaebori, Komaki 485, Japan

て，サイリスタ直列接続そのものについては現在特別な問題点はないと考えてよい．しかしながら，今まで発表されているそれらの論文はほとんどが高電圧直流送電に関するものであり，適用周波数，力率などの点で本論文で取り扱うものときわめて相違している．というのは，前者の場合その基本周波数は商用周波数であり，力率もほぼ1に限られている．それに対し，本論文においてはその基本周波数は 500 Hz であり，パルス幅が 450 μs であることから実質的には約 2 kHz 相当の交流とみなすことができ，さらにパルス休止期間に回路に発生する過渡現象も考慮すると 30 kHz 相当の高調波成分も含まれると予想される．また力率についても負荷が大きな静電容量を有するため力率がほぼゼロの進相電流が流れると考えられる．本節では，従来のサイリスタ直列接続の技術に立脚しながら，同時に本研究における上記のような独特の問題にも触れる．

2.1.1　直列サイリスタの同時トリガ

サイリスタ直列接続においてまず第1に問題となるのが直列に接続された多数のサイリスタをいかに短時間内に同時トリガするかということである．しかもサイリスタのターンオンタイムにばらつきがあると遅れてターンオンするサイリスタに過電圧が印加され運転上好ましくないので，ターンオンタイムのばらつきは 1 μs 程度の非常に小さい値でなければならない．

この問題については前述の論文[3-6]で詳細に検討されているが，それによると，絶縁パルストランスによる方法，光パルスによる方法，従属点弧による方法などが知られている．筆者はそれらのうち絶縁パルストランスによる方法を採用し，サイリスタの 50 個 (Th_2)，25 個 (Th_1) の直列接続も構造的に割合コンパクトに製作することができた．それにより，回路のトリガ電圧の立上り時間は 0.5 μs 以下，サイリスタのターンオンタイムはほぼ 3～4 μs の範囲にあり，ばらつきを 1 μs 以下に抑えることができた．

2.1.2　直列サイリスタの電圧分担

直列サイリスタの運転においては各サイリスタの電圧分担の均一化も重要な問題となる．しかもその電圧も外部的な定常電圧やサージ電圧から内部的なターンオン時，ターンオフ時に発生する過渡電圧など多様である．それらすべての状態においてサイリスタの分担電圧が定格電圧を越えないように設計しなければならない．

外部定常電圧は直列サイリスタの順逆方向の阻止状態の洩れ電流に従って分担され，洩れ電流の小さいサイリスタに大きな電圧が分担される．それを防ぐためには各サイリスタに並列に分圧抵抗 r_1 を挿入すればよく，その値は次式により求めることができる．

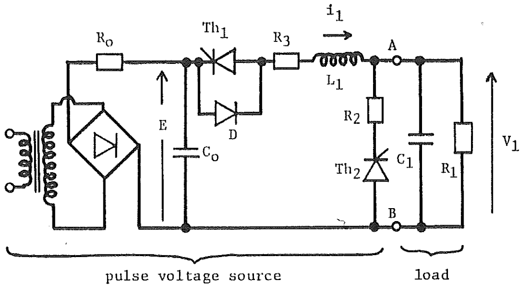

図1　LC 共振式パルス電源（基本回路）

Fig. 1 Pulse generating circuit of LC oscillation.

$$r_1=\frac{nE_1-E_2}{(n-1)\Delta I_b} \qquad (1)$$

ここで，n：直列サイリスタの個数，E_1：サイリスタの最大阻止電圧，E_2：直列サイリスタの全電圧，ΔI_b：サイリスタの洩れ電流のばらつきの範囲．

筆者らが試作したパルス電源の Th_1 に各値を代入して r_1 の値を求めると次のようになる．

$n=25$，$E_1=1,000$ V，$E_2=15,000$ V，$\Delta I_b=2$ mA，

$r_1 \fallingdotseq 200$ kΩ

なお Th_2 については動作特性上定常電圧の印加される時間がほとんどないのでこのことについて考慮する必要はまったくない．

外来サージ電圧は各サイリスタの有する A-K 間静電容量および対地静電容量により分圧される．この場合とくに後者のほうが重要となる．対地静電容量は各サイリスタの構造的な配置により決まり，各サイリスタにおいてほぼ同じ値をとると考えられる．このときの均圧化を図るためには各サイリスタに並列に分圧コンデンサ C_2 を挿入し，さらにサイリスタターンオン時のサージ電流を抑制するために各分圧コンデンサ C_2 に直列に小さな値の抵抗 r_2 を挿入する．このときの分担電圧の不平衡分 ΔE は次式により求めることができる．

$$\Delta E=n\sqrt{C_g/C_2}\coth(n\sqrt{C_g/C_2})-1 \qquad (2)$$

ここで，C_g：サイリスタ1個当りの対地静電容量．

C_g は非常に不確定な値であるが，約 50 pF と想定することができる．したがってこのとき $C_2=0.05$ μF とすると ΔE は次のようになる．

$\Delta E=0.2$　　(Th_1，$n=25$)

$\Delta E=0.72$　　(Th_2，$n=50$)

Th_2 の ΔE の値が若干大きくなっているが，C_2 をこれ以上大きくすると損失の増大と波形に及ぼす影響の点で好ましくない結果を招くので，装置をこの値で組み立て，電圧分担をチェックした．その結果，定格運転時において発生する外来サージ電圧に対してすべてのサイリ

スタ分担電圧が定格電圧以内に収まることを確認した.

次に，各素子のあいだでターンオンタイムのばらつきがあると，ターンオン時にターンオンタイムの遅いサイリスタに過電圧が印加されるおそれがある．これを防ぐためには外来サージ電圧の均圧化に用いた分圧コンデンサ C_2 そのものを利用する．高電圧直流送電などでサイリスタ直列接続を実施する場合，ターンオン時に発生する過電圧を防止するために回路に直列にリアクトルを挿入する．本回路 Th_1 の場合は直列コイル L_1 があるのでこの点についての特別の考慮を払う必要がない.

このときの Th_1 の過電圧の最大値を求めるために一つのサイリスタだけが他の残りのサイリスタに対して Δt だけ遅れてターンオンする理想状態を考える．このときの遅れてターンオンするサイリスタの電圧 v_{Thon} は，コイル L_1 を通して流れる電流が分圧コンデンサ C_2 を充電するときの時定数によって決まり，次式により求められる.

$$v_{Thon}=E\left(1-\cos\frac{\Delta t}{\sqrt{L_1C_2}}\right) \qquad (3)$$

前節で述べたように Δt は 1 μs 以内である．他の値，$E=10,000$ V，$L_1=0.5$ H，$C_2=0.05$ μF を代入すると v_{Thon} は 1 V 以下となり，Th_1 のターンオン時の過電圧については十分安全であることが確認できた.

また，Th_2 のターンオン時の直列サイリスタ全電圧は C_1 の残留電圧 V_f である．V_f は通常 2,000 V 程度であり，全電圧の最大電圧 1,000×50=50,000 V に比較し非常に小さな値である．このときの過電圧の最大値を求めるため先と同じく一つのサイリスタだけが他の残りのサイリスタに対して Δt だけ遅れてターンオンする理想状態を考える．このときのサイリスタ電圧 v_{Thon}' は，コンデンサ C_1 の有する電荷が抵抗 R_2 を介して Th_2 用の分圧コンデンサ C_2 に移行するときの充電電圧とみなすことができ，次のような式で求めることができる.

$$v_{Thon}'=\frac{C_1}{C_1+C_2}V_f(1-\varepsilon^{-\Delta t/CR_2}) \qquad (4)$$

$$C=C_1C_2/(C_1+C_2) \qquad (5)$$

この式に各値を代入すると $v_{Thon}'\fallingdotseq 40$ V となり，Th_2 についてもターンオン時の過電圧については十分安全であることが確認できた.

サイリスタのターンオフ時に発生する過電圧は各サイリスタのターンオフタイムの相違に起因し，ターンオフタイムの速いサイリスタに過電圧が印加されるおそれがある．それを防ぐためにはやはり分圧コンデンサを使用する必要がある．ところで筆者らがこの論文において取り扱っている回路についてターンオフ時にサイリスタに

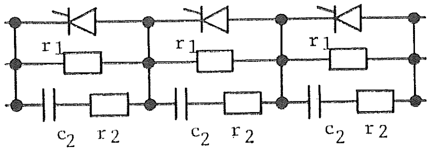

図2 直列サイリスタ保護回路

Fig. 2 Protective circuit for series-connected thyristers.

印加される逆電圧をみてみると，Th_1 については逆並列にダイオードDが接続されているので逆電圧は非常に小さく，Th_2 については動作特性上やはり逆電圧は非常に小さい．したがって，本回路においてはターンオフ時のサイリスタの分担電圧についてはほとんど考慮する必要がない．そのため，パルス幅がとくに短い場合以外はターンオフタイムの短いサイリスタを使用する必要もないし，順方向阻止電圧に比べて逆方向阻止電圧の低い素子を使用することもできる．この点は本回路の大きなメリットである．結局サイリスタ直列接続均圧保護回路は図2のようになる.

2.1.3 直列サイリスタを用いた試作高電圧パルス発生装置の性能

図1の回路において次の各定数を採用し，容量性負荷用の高電圧パルス発生装置を試作した.

$R_0=6$ kΩ，$C_0=1$ μF，$R_2=10,000$ Ω，

$C_1=0.01$ μF，$R_1=500$ kΩ

$L_1=0.50$ H ($C_{L1}=380$ pF，$R_{L1}=590$ Ω (2,300 Hz にて))*1

$L_1=0.055$ H ($C_{L1}=330$ pF，$R_{L1}=98$ Ω (6,800 Hz にて))*1

コイル L_1 については比較検討のため $L_1=0.50$ H のものと，$L_1=0.055$ H のものの二つを準備した．おのおのの抵抗値は各交流周波数における実効抵抗を示す．負荷コンデンサ C_1 および負荷抵抗 R_1 は実際の集塵装置負荷の代わりにそれぞれ固定の素子を用いた.

また，用いたサイリスタとダイオードの定格は次のとおりである.

サイリスタ定格（1素子当り）

平均順電流 20 A，順逆阻止電圧 1,000 V

直列接続数 Th_1：$n=25$，Th_2：$n=50$

保護回路定数 $r_1=200$ kΩ，$r_2=50$ Ω，$C_2=0.05$ μF

（ただし，Th_2 については r_1 は使用せず）

ダイオード定格（1素子当り）

せん頭逆電圧 36 kV，平均整流電流 100 mA

*1 C_{L1}，R_{L1} はコイル L_1 の有する漂遊キャパシタンスと内部実効抵抗

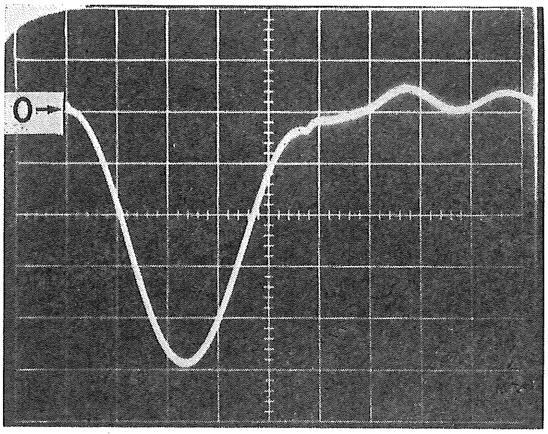

図3　出力パルス電圧 V_1 (100 μs/div, 2,000 V/div)

Fig. 3 Output pulse voltage (100 μs/div, 2,000 V/div).

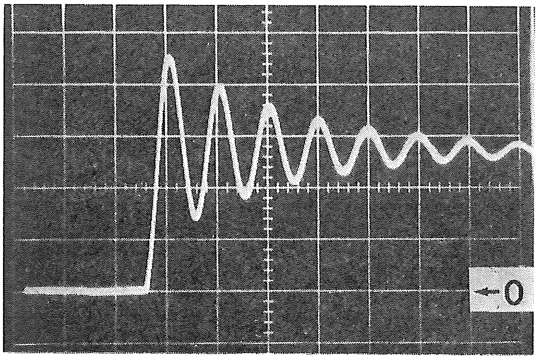

図4　サイリスタ電圧 V_{Th} (200 μs/div, 2,000 V/div)

Fig. 4 Forward voltage across thyrister Th_1 (200 μs/div, 2,000 V/div).

並列接続数 12

まず初めに電源電圧 5,000 V, L_1=0.50 H における出力パルス電圧 V_1, サイリスタ電圧 V_{Th}, 主電流 i_1 の波形を示すと図3～5のようになる．V_{Th} には主回路振動終了後の過渡振動が現われている．i_1 にその過渡振動に伴う過渡電流が流れている．また，i_1 に，サイリスタの導通の瞬間コイル漂遊キャパシタンスを充電するスパイク状の電流が流れている．このため，コイル漂遊キャパシタンスが大きくなると，サイリスタの di/dt を抑えるための考慮が必要になってくる．

表1に本回路の諸特性の実験値と理論値の比較を示す．両者は概略よく一致している．出力電圧の波高値 $V_{1\max}$ と残留電圧 V_f の値についてはコイルの実効抵抗が非常に大きく影響しており，しかもこの実効抵抗は直流抵抗と比べると非常に大きな値となっている．この実験では空心のコイルを使用したが，鉄心を有するコイルを使用するときは鉄心のヒステリシス損，うず電流損

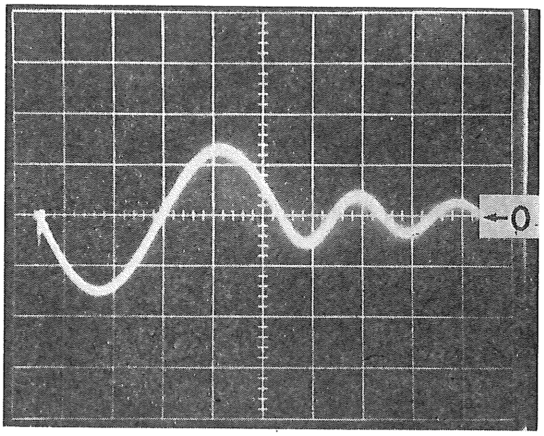

図5　主電流 i_1 (100 μs/div, 0.5 A/div)

Fig. 5 Main pulse current (100 μs/div, 0.5 A/div).

なども加わってくることが予想される．本装置を大型化するに当たってはそれらの点についての注意が必要である．

サイリスタ順方向サージ電圧 V_{Th} の理論値の算出に当たって問題となるのが，ダイオードDの逆回復電流の最大値である．この値はそれまでに流れていた順方向電流により大きく影響を受けるし，また素子によるばらつきも考えられる．したがってこの値はきわめて予想するのがむずかしいが，筆者らは逆回復電流の実験値を用いて V_{Th} を算出した．また，このとき適用する漂遊キャパシタンスの値には，C_{L1}, C_{Th} とともに分圧コンデンサ C_2 の直列接続値 C_2/n も考慮に入れなければならない．この分圧コンデンサにはサージ電圧の値とその上昇率を下げる効果があることはいうまでもない．

各部の電力 P_1, P_2, P_3 については理論値に比較し，実験値のほうが大きめの値が出ている．P_1, P_2 の理論値については本回路の場合，サイリスタ直列回路の保護抵抗 r_1 および分圧コンデンサ C_2 における消費電力とコイル L_1 の漂遊キャパシタンス C_{L1} で消費される電力を加算した．その加算された消費電力はどちらのコイルの場合も 19 W である．本装置は出力電力そのものが小さい値なのでそれらの値も相対的に大きくなり，効率の低下をもたらす．

各部の実効電流はおおよそ一致している．

以上までのデータを基にして，定格電圧におけるサイリスタサージ電圧の dv/dt を求めてみると次のようになる．

L_1=0.50 H, E=10,000 V において

$$(dV_{Th}/dt)_{\max}=2.5\times10^8 \quad \text{(V/s)}$$

L_1=0.055 H, E=10,000 V において

$$(dV_{Th}/dt)_{\max}=6.9\times10^8 \quad \text{(V/s)}$$

表1 試作直結型高圧パルス電源の実測特性と理論特性の比較

Table 1 Comparison between calculated and measured values of pulse high voltage source of direct coupling system.

Value of L_1	0.50 H		0.055 H	
	Measured	Calculated	Measured	Calculated
τ (μs)	460	470	150	160
$V_{1\,max}$ (V)	9,800	9,300	9,500	9,600
V_f (V)	800	1,400	1,300	700
$V_{Th\,max}$ (V)	8,800	8,600	7,800	8,300
P_1 (W)	290	279	274	289
P_2 (W)	75	68	50	42
P_3 (W)	20	17	6.4	5.5
η_1 (%)	74	76	82	85
η_2 (%)	27	25	13	13
$i_{Th1\,eff}$ (mA)	186	183	288	310
$i_{Th2\,eff}$ (mA)	77	42	86	68
$i_{D\,eff}$ (mA)	150	141	250	278
$i_{L1\,eff}$ (mA)	246	231	392	416

E=5,000 V, η_1 (feedback ratio)$=(P_1-P_2)/P_1$, η_2 (efficiency)$=P_3/P_2$

すなわちコイルのインダクタンスL_1が小さくなると，dv/dt の値は大きくなっている．したがってパルス幅を小さくするためにコイルインダクタンス L_1 を小さくする場合，サイリスタサージ電圧の最大値とともにその上昇率にも十分考慮する必要がある．なお用いたサイリスタの１素子当りの最大 dv/dt は 5×10^7 V/s, 25 個直列接続で，1.25×10^9 V/s である．

2.2 パルストランスによるパルス波高値の昇圧

パルス波高値の昇圧にパルストランスを用いるときの回路は図6のようになる．このときもパルストランスの巻線比をあまり大きくとることはできないのでサイリスタ Th_1 は直列接続しなければならないが，直列接続個数は大幅に減らすことができる．また図1において用いていた Th_2 は省略することができる．

筆者らがパルストランスを用いて行なった実験ではパルストランスの定格電圧により制約されてサイリスタの直列接続を用いることはできず，サイリスタ単一接続により実験を行なった．しかしサイリスタの直列接続の問題は前節で述べたので，ここでパルストランス特有の問題を取り扱うのには単一のサイリスタで十分である．

次にパルストランスを１次側から見た等価回路に変換すれば図6は図7のように表わすことができる．トランスの性質上 $L_{e1}\gg L_{e2}$, $C_1\gg C_S$ であるので主回路振動について検討するときは L_e, C_S は無視できる．したがって本回路は図1とまったく同じ形をしているので前節までの議論は本節においてもそのまま適用できる．ただし

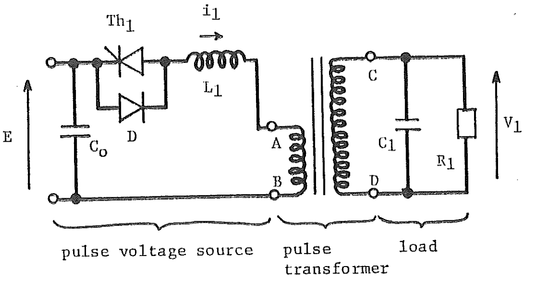

図6 パルス電源（基本回路）（パルストランス接続）

Fig. 6 Pulse generating circuit of pulse transformer coupling system.

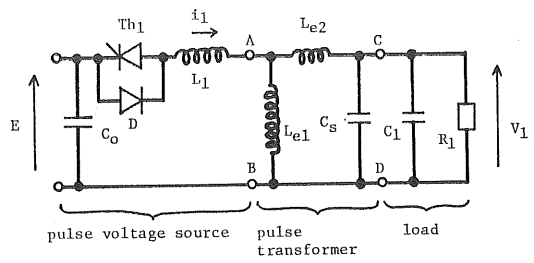

図7 パルス電源（等価回路）（パルストランス接続）

Fig. 7 Equivalent circuit of pulse transformer coupling system.

パルス幅を決定するインダクタンスは共振コイルのインダクタンスとトランスの洩れインダクタンスの和にな

表2　試作パルストランス結合型高圧パルス電源の実測特性と理論特性の比較

Table 2　Comparison between calculated and measured values of pulse high voltage source of transformer coupling system.

Value of L_1	3.8 mH		9.5 mH		4.5 mH	
Value of C_1	0.01 μF		0.01 μF		0.02 μF	
	Measured	Calculated	Measured	Calculated	Measured	Calculated
τ (μs)	180	201	310	311	305	305
$V_{1\,max}$ (V)	170	181	165	170	185	177
V_f (V)	41	34	44	51	50	40
$V_{Th\,max}$ (V)	500	529	480	320	550	476
$V_{Th\,max}$ (V)*	233	249	190	176	260	241
P_1 (W)	2.2	2.4	2.6	2.3	4.8	4.6
P_2 (W)	1.5	0.98	2.3	1.0	2.8	1.4
P_3 (W)	—	0.33	—	0.48	—	0.50
η_1 (%)	32	59	12	57	42	70
η_2 (%)	22	34	21	48	18	36
$i_{Th1\,eff}$ (mA)	117	111	96	84	191	178
$i_{D\,eff}$ (mA)	64	90	25	58	103	138
$i_{L1\,eff}$ (mA)	148	144	100	102	217	225

* including protection condenser, E=100 V

り，コンデンサの容量は1次側への換算値となることは注意が必要である．

筆者らがこの実験で用いた回路定数は次のとおりである．

パルストランス定数

巻線比　$n_1 : n_2 = 1 : 5$,

L_{e1}=0.36 H，L_{e2}=0.26 mH，C_S=6,000 pF（1次側より）

R_0=5,000Ω, C_0=40 μF, R_1=100 kΩ, C_1=0.01 μF

L_1=3.8 mH（R_3=13Ω，パルストランス巻線も含む．測定周波数 5,600 Hz，C_{L1}=180 pF）

L_1=9.5 mH（R_3=35Ω，パルストランス巻線も含む．測定周波数 3,300 Hz，C_{L1}=190 pF）

または，

C_1=0.02 μF（他の定数は上と同じ）

L_1=4.5 mH（R_3=13Ω，パルストランス巻線も含む．測定周波数 3,400 Hz，C_{L1}=185 pF）

サイリスタ定格

平均順電流 20 A，順逆阻止電圧 1,000 V

ダイオード定格

平均整流電流 12 A，せん頭逆電圧 1,000 V

このパルストランス方式における出力パルス電圧 V_1，サイリスタ電圧 V_{Th}，主電流 i_1 の波形を示すと図8～10のようになる．図にみられるように本方式は二つの点で前節までの回路とは異なった特徴を有している．その第1は主回路振動の終了後サイリスタに電源電圧の数倍にも達するサージ電圧が現われていること，第2は主電流波形で供給電流とフィードバック電流の期間が非常にアンバランスになっており，フィードバック電流がきわめて少なくなっていることである．第1の現象が発生する原因は，この回路がサイリスタの単一接続で組み立てられているため，主回路振動終了後のサイリスタ電圧を示す前述論文中[1]の式(23)において第1項の占める割合が非常に大きくなっているためであり，サイリスタの直列接続数を多くすれば前節と同程度にサイリスタ1個当りのサージ電圧は低くなる．また，サイリスタと並列にコンデンサを挿入すればサイリスタの単一接続の場合でもサージ電圧の値そのものを下げることができる．

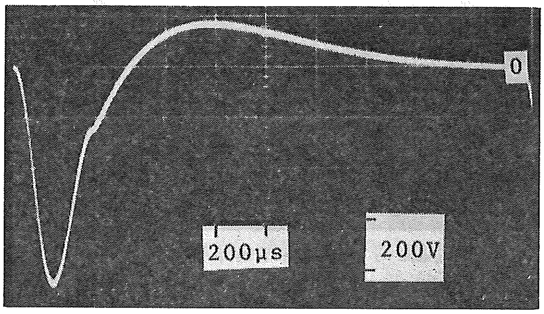

図8　出力パルス電圧 V_1（200 μs/div, 200 V/div）

Fig. 8　Output pulse voltage (200 μs/div, 200 V/div).

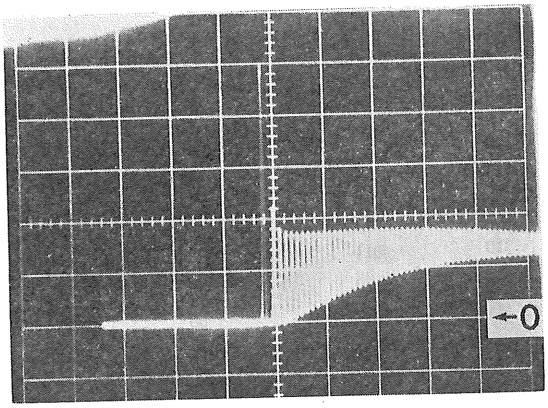

図 9　サイリスタ電圧 V_{Th} (100 μs/div, 100 V/div)

Fig. 9　Forward voltage across thyrister Th_1 (100 μs/div, 100 V/div).

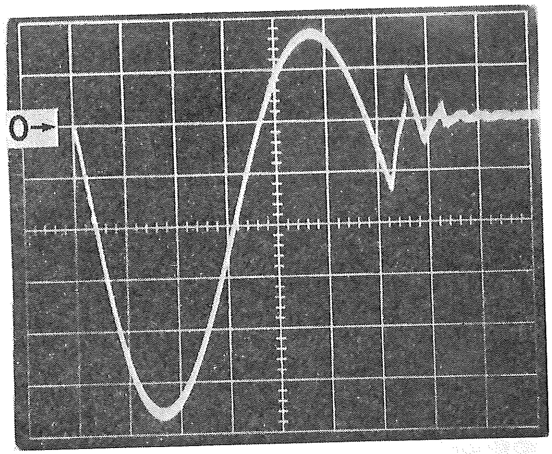

図 10　主電流 i_1 (50 μs/div, 91 mA/div)

Fig. 10　Main pulse current (50 μs/div, 91 mA/div).

第2の現象の発生する原因は主電流 i_1 を示す前述論文中[1]の式(1)′において負荷抵抗 R_1 が相対的に小さくなり，第2項が無視できないほど大きくなっているためである．同式に実際の数値を代入して電流波形の偏りを求めてみると，供給電流，フィードバック電流の期間がそれぞれ 162 μs，146 μs であった．実験で得られた値はそれぞれ 182 μs，106 μs であったので両者には若干の差異が認められた．この電流の偏りによる各理論式の近似式の修正はきわめてわずかであるので，それらの近似式はこのような場合にもそのまま用いることができる．

次にこの実験で得られた実験値と理論値の比較を表2に示す．サイリスタサージ電圧 $V_{Th\,max}$ については，サイリスタに並列に 0.01 μF の保護コンデンサを挿入した場合の値も示してある．また，(C_1=0.01 μF, L_1=9.5 mH) のときと，(C_1=0.02 μF, L_1=4.5 mH) のときとはパルス幅がほぼ一定している．したがって両者における各値を比較すると，パルス幅一定の条件のもとで C_1 と L_1 をどのように選択すれば最善であるかということに対するある程度の指針が得られる．

τ の実験値と理論値はほぼ一致しているといえる．$V_{1\,max}$，V_f の実験値を検討すると，サイリスタを通して電流を供給する期間と，ダイオードを通して電流をフィードバックする期間とで電圧 V_1 の減衰係数がかなり相違していることが判明した．また同じパルス幅における (C_1=0.01 μF, L_1=9.5 mH) と (C_1=0.02 μF, L_1=4.5 mH) のときを比較すると後者のほうが $V_{1\,max}$ が大きくなって有利である．

$V_{Th\,max}$ の理論値と実験値の相違が大きいのは，このとき適用する漂遊キャパシタンスのうち，サイリスタとダイオードの接合部のキャパシタンスが不明確なためである．ここではバイアスがゼロにおける値を用いたが，これらの値はバイアス電圧により当然相違する．そのため，それらの値に比して比較的大きな保護コンデンサを並列に接続するとそれらの影響が小さくなるので両者の差も小さくなっている．

各部の電力 P_1，P_2，P_3 の値については，P_2 の値における実験値と理論値の相違が大きくなっている．これは，パルストランスの鉄心におけるヒステリシス損，うず電流損が大きくなっているためと考えられる．このときの (C_1=0.01 μF, L_1=9.5 mH) と (C_1=0.02 μF, L_1=4.5 mH) のときの値を比較すると，前者のほうが無効電力 (=P_1-P_2) が小さく，かつ内部損失 P_2 も少ないので有利である．

各部の実効値電流についてはやはりフィードバック電流を示す $i_{b\,eff}$ の実験値が小さくなっている．これもパルストランスの鉄損のためであろうと考えられる．

3.　高電圧パルス電源の電気集塵装置への適用

次に，このようなパルス電源を電気集塵装置へ適用するときの電圧の印加方法について述べる．一般に電気集塵装置にパルス電圧を印加する場合，パルス電圧と直流電圧を重畳させるのが普通である．とくに筆者らは従来の放電極と集塵板を有する2電極型の電気集塵装置に対して，第3電極を有する3電極型電気集塵装置にパルス電圧を印加しようとしているので重畳のための回路構成は重要である．

従来型の電気集塵装置にパルス電圧と直流電圧を重畳して印加する場合は図11および図12に示す方法が代表的な方法であろう．図11の場合は絶縁パルストランスで，図12の場合はコンデンサでそれぞれ直流高電圧を

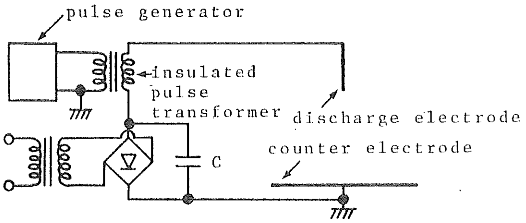

図 11　従来型電気集塵装置（パルス電圧印加方式-Ⅰ）（パルストランス接続）

Fig. 11　Application-I in two-electrode type ESP (transformer coupling).

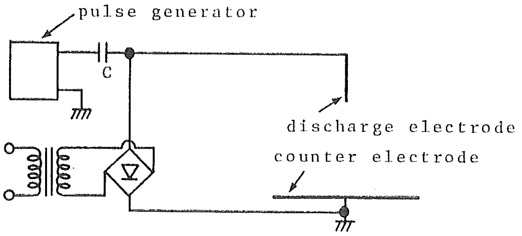

図 12　従来型電気集塵装置（パルス電圧印加方式-Ⅱ）（コンデンサ接続）

Fig. 12　Application-II in two-electrode type ESP (condenser coupling).

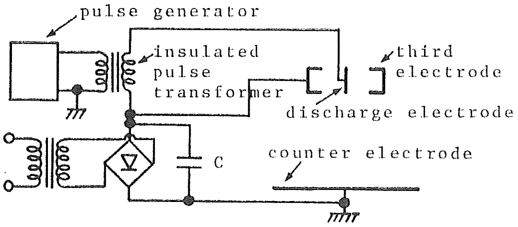

図 13　3電極型電気集塵装置（パルス電圧印加方式-Ⅰ）（パルストランス接続）

Fig. 13　Application-I in three-electrode type ESP (transformer coupling).

絶縁してある．前者の場合には負荷コンデンサに充電した電荷を電源側にフィードバックするときには無効電力が大きくなり，パルストランスが非常に大きくなる可能性があるので不経済である．

3電極型の電気集塵装置にパルス電圧と直流電圧を重畳して印加するときは図 13, 14 に示す方法を用いる．図 13 のパルストランスを使用する方法は従来型電極の場合と同じ経済性の問題が発生する．図 14 はそのような問題のないすぐれた方法である．一般に直流電圧とパルス電圧を図 11, 13 のようにカスケードに接続すると

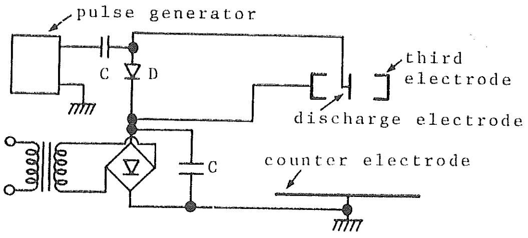

図 14　3電極型電気集塵装置（パルス電圧印加方式-Ⅱ）（コンデンサ接続）

Fig. 14　Application-II in three-electrode type ESP (condenser coupling).

きは，直流電源の出力側に並列にコンデンサを挿入し，パルス電圧をバイパスさせる必要がある．

ところで本節で述べるように直流電圧とパルス電圧を重畳させる場合，放電極がスパークしたときの保護について考慮を払う必要がある．このときは一般に直流電圧がパルス発生装置の出力端子にそのまま現われ，それはパルス電圧とは逆極性である．したがってそれを防ぐためにはパルス発生装置の出力側に出力電圧とは逆極性のダイオードを接続するか，あるいは放電ギャップを設けて逆極性電圧の発生を最小限に防ぐ必要がある．

4. 結　　言

以上容量性負荷に用いるべき LC 振動を応用したパルス高電圧発生装置の試作結果について報告した．本方式は理論とよく一致し，かつ動作特性のきわめて解析しやすい方式であるとともに，従来形に比べてエネルギ効率の面で飛躍的な改善がはかれる方式であることがわかった．したがって，パルス荷電型の電気集塵装置の実用化に当たり，本方式のパルス高圧電源を活用しうるものと信ずる．

参 考 文 献

1) 増田閃一，小畑貞二，平井淳之：静電気学会誌，**3**，4 (1979)，216.
2) 増田閃一，小畑貞二，平井淳之：静電気学会誌，**3**，5 (1979)，304.
3) 十川忠男：電子技術総合研究所研究報告，**729** (1972).
4) 沢田芳夫，藤原直義，柳父　悟，高橋　忠：電気公論，**43**，8(1967)，787.
5) 大野栄一，光岡宏，木村好男：三菱電機技報，**42**，12 (1968)，1567.
6) 十川忠男，堀米　孝，近藤　滉：電気学会誌，**88**，18 (1968)，1522.
7) 木脇久勝：日立評論，**51**，3(1969)，7.