

システムレベルにおけるESDストレスの シミュレーション手法の検討

吉田 孝博^{*,1}, 増井 典明^{*}

(2012年9月13日受付; 2013年2月28日受理)

A Study on the System-level ESD Stress Simulation Method

Takahiro YOSHIDA^{*,1}, Noriaki MASUI^{*}

(Received September 13, 2012; Accepted February 28, 2013)

It is desirable to simulate electrostatic discharge (ESD) tolerance and immunity of electronics and semiconductor devices in advance because this pre-test method will achieve shortening of the development period and reduction of development cost.

In this paper, we proposed and examined the simulation method for system-level ESD using ESD source model, transmission line model, and ESD protection circuit model on the existent circuit simulator. In this experiment, we targeted the voltage waveforms at input signal pin of the D-F/F IC on the test PCB when the ESD stress is injected to the signal line on the PCB. We acquired the ESD source model of an ESD-gun which reflects real ESD characteristics and the electrical transmission line model using s-parameters measured by vector network analyzer. In addition, we tested the ESD stress simulation by combining these models in the RF electrical circuit simulator.

From the comparison of the measured and simulated voltage waveforms, we found that shape, peak voltage, and duration of ESD stress's voltage waveform at the integrated circuit (IC) input pin were successfully simulated by these modeling and simulation method. From these results, it is found that the proposed simulation method can simulate system-level ESD stress if the characteristics of the ESD protection circuit can measure.

1. はじめに

近年、半導体デバイスや電子機器の高集積化、低動作電圧化が進むなかで、帯電した人体の指先や人体が握った金属ツール等からの静電気放電 (ESD: Electrostatic discharge) による破壊や誤動作が問題となっている。一方、電子機器のESD耐性の評価方法としては、国際標準規格IEC-61000-4-2で定められた静電気試験器 (ESDガン) による試験法^{1,2)}の様に、評価対象となる電子機器等の試作機を用意して事後的に耐性評価する方法が主流であり、開発期間の長期化やコスト増となる問題がある。そこで、設計時間短縮および試作コスト削減のために、ESDストレスのシミュレーション技術が必要不可欠であり、近年では、ESDが半導体デバイスに印加された際のデバイス内部におけるESDストレスの算出手法³⁾や、デバイスと

周辺回路 (ESD保護回路など) も併せてシミュレーションが可能な手法⁴⁾など、「デバイスレベルでのシミュレーション手法」が研究され、実用化されている。

一方、電子機器内部のプリント基板 (PCB: Print Circuit Board) に半導体デバイスが実装された状態で、電子機器に加わったESDによって、PCB上の半導体デバイスに最終的に加わるESDストレス (電圧波形や電流波形など) がシミュレートできれば、事前にシステムレベルのESD耐性を評価することが可能となる。

そこで本研究では、電子機器の開発プロセスで利用可能なシステムレベルにおけるESDストレスのシミュレーションを、電子回路の設計・開発で用いている高周波電子回路シミュレータ上で行える手法の確立を目指し、実際にESDストレスを印加した際の実測波形とシミュレーション結果とを比較しながらシミュレーション手法を検討している。

なお、ESDによる障害の原因としては主に、放電電流の直接的流入による誤動作や破壊等の「直接ESD」と、ESDに伴い発生する放射電磁ノイズによって間接的に誤作動等の影響を及ぼす「間接ESD」がある⁵⁾とされるが、システムレベルでデバイスに加わるESDストレスは、印加されるESDの特性 (ESDガン、帯電した人体、金属など) や印加箇所 (電子機器の筐体、コネクタの信号ピンなど)、そしてPCBへの伝搬経路 (直接ESD、間接ESDなど)、PCBの線路の特性や回路構成、ESD保

本稿は、平成24年度静電気学会全国大会におけるスペシャルセッションに関連して論文募集を行い、査読審査を経て採択された論文である。

キーワード: 静電気放電, システムレベル ESD, 回路シミュレーション, ESD ストレス, ESD ガン

^{*} 東京理科大学 工学部 電気工学科

(〒125-8585 東京都葛飾区新宿 6-3-1)

Department of Electrical Engineering, Tokyo University of Science, 6-3-1, Niiijuku, Katsushikaku, Tokyo 125-8585, Japan

¹ yoshida@ee.kagu.tus.ac.jp

護素子・保護回路等の非線形成分など、多様な要素が複雑に関係しているものであると考えられる。そのため、最終的にはこれら全要素を考慮することが望まれるが、本報告では第1段階の検討として、より強いESDストレスがデバイスに加わる可能性が高い「直接ESD」を検討対象とし、DフリップフロップIC(D-F/F IC)が実装されたPCBの信号ラインに対して、ESDガンからESDを印加した場合について、実測とシミュレーションを行い、ICの入力ピンにおけるESDストレスの電圧波形を比較することでシミュレーション精度を検証した。

2. シミュレーション方法と実験条件

システムレベルにおいて、対象となる電子機器に加わったESDストレスは、伝送路や伝搬経路の特性が乗じられて歪んだり、減衰したり、さらにはESD保護素子などの非線形な要素で大きく変化するため、最終的に電子デバイスに到達するESDストレスは、放電源の波形とは異なっている。そのため、電子デバイスに到達するESDストレスをシミュレートするためには、放電源モデルに加えて、評価対象の電子機器の伝送線路やESD保護回路等をシミュレーションに反映させる必要があるため、本研究では、図1に示す様に、高周波回路シミュレータ上に、放電源の等価回路モデル（以降、放電源モデルと呼ぶ）と、伝送線路モデル、半導体デバイス内部のESD保護回路の等価回路モデルを用意して、SPICE系のソルバーを用いてESD印加時にデバイスに到達するESDストレスの電圧・電流波形のシミュレーションを行う構成の手法を考案し、試行した。なお、本手法には、SPICE系のソルバーに、sパラメータを扱える機能と、タイムドメイン波形解析機能が必要である。

ここで、放電源モデルは、現実には発生するESDストレス（放電電流波形・放電電圧波形）を模擬的に発生できる等価回路である。なお、現実で発生するESDは、各要因（帯電電位、放電開始ギャップ長、電極形状、帯電物の特性、接近速度など）で放電特性が異なり、放電電流波形形状も様々となるため、実環境を想定したシステム

レベルESDのシミュレーションを実現するために、本手法では、特徴的、代表的なESDに対して各々の放電源モデルをあらかじめ用意しておく方式を想定している。

本報告では、ESDガンの実測波形を元に、先行研究で開発した、ESDの実測波形から放電源の等価回路の定数を決定する方法⁶⁾を用いて、放電源モデルを作成した。なお、この定数決定法を用いれば、先行研究で実測した種々の放電電流波形⁷⁾に対する放電源モデルが同様に用意できる。

伝送線路モデルは、機器の端子等から製品内部に侵入したESDストレスがPCB上のパターンを伝搬してデバイスに到達するまでの伝送線路の特性をsパラメータでモデル化したものである。なお、sパラメータは高周波電子回路や高周波電子部品の特性を表すために使用される回路網パラメータであり、回路網の通過・反射電力特性を表現する。本シミュレーション手法を電子機器の開発現場で使用する際には、この伝送線路モデルを、評価対象のPCBのパターンのCADデータから高周波電磁界シミュレータを用いて用意することを想定しているが、本研究室に高周波電磁界シミュレータが無い場合、本報告では、ベクトルネットワークアナライザ(VNA: Vector Network Analyzer)でsパラメータを実測することで伝送線路モデルを用意した。

本報告では、シミュレーションおよび実測の対象として、本研究室でESDによる誤作動を計測するために開発した、D-F/F ICならびに51Ωでプルダウンされた入力信号ライン、DC3.3Vのレギュレータ、クロックジェネレータから構成されるデジタル回路の誤作動評価基板を用いた。その誤作動評価基板の信号入力部からIC直前までの伝送線路の特性を伝送線路モデルとしてモデリングした。

次に、半導体デバイス内部のESD保護回路の等価回路モデルについては、現段階では、精度の高い実測モデルが用意できていないため、本報告では第一段階として、ICの代替として30Ωの抵抗を用いた場合と、一般的なIC内部のESD保護回路の等価回路構成を元にこの定数を調整した場合との2通りで試行した。なお、この抵抗値(30Ω)は、誤作動評価基板においてICを各抵抗値の炭素皮膜抵抗と置き換え、ESDガンからのESD印加時の放電電流値がIC実装時の放電電流値と近くなる時の抵抗値を求めて決定した。

3. 放電源モデルの作成

本報告では、放電源としてIEC61000-4-2準拠のESDガン(ノイズ研究所ESS-2002EX・TC-815R)を用いたので、ESDガンの放電源モデルを用意する必要がある。ESDで実際に発生する放電電流を模擬できる放電源モデルの等価回路は、先行研究にて開発した定数決定法⁶⁾

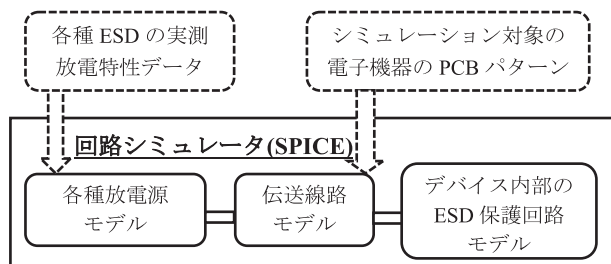


図1 シミュレーション手法の構成
Fig. 1 Structure of the simulation method.

を用いることで作製できる。これは、放電電流波形の第一ピーク、第二ピーク、振動成分をそれぞれRLC直列回路の過渡現象として扱い、各ピークの電流値、出現時間（振動成分の場合は周期）から各成分のRLC直列回路の定数を決定し、決定したRLC直列回路を並列接続することで等価回路を完成させる手法である。この等価回路の定数決定法の詳細は、文献⁶⁾を参照されたい。

3.1 モデリング対象のESDガンの出力波形の測定

ESDガンから出力される放電電流波形を測定する為に、電流波形観測用ターゲット（抵抗器）を取り付けた接地アルミニウム板（0.7 m 角）にESD（+2 kV）を接触放電で印加し測定を行った。電流波形観測用ターゲットはIEC61000-4-2 ed2.0（2009）準拠のノイズ研究所 06-00067Aを用い、オシロスコープ（Tektronix DPO7254、帯域 2.5 GHz）へ6 dB の同軸アッテネータを介して接続した。

この方法により測定した、印加電圧 +2 kV のESDガンの電流波形を図2（a）に示す。また、IEC61000-4-2の規格波形を図2（b）に示す。図2より、実測波形では第一ピークが1 ns ほどで立ち上がる非常に急峻なピークであり、その後振動成分、第二ピークが出現し緩やかに振動しながら約 200 ns で減衰していることが分かる。また、実測波形には振動成分が加わって少々波形は歪んでいるものの、IEC61000-4-2の厳しさレベル 1（2 kV）¹⁾で定義された第1ピーク電流値、放電開始後 30 ns・60 ns での電流値について比較すると、第1ピーク電流値はIEC規格が $7.5\text{ A} \pm 10\%$ に対して実測波形は 7.1 A、放電開始後 30 ns では規格が $4\text{ A} \pm 30\%$ に対して実測波形は 3.9 A、放電開始後 60 ns では規格が $2\text{ A} \pm 30\%$ に対して実測は 2.4 A となり、適合していた。

3.2 ESDガンの等価回路

図2に示した実測波形の各ピーク値や出現時間、振動成分の振幅や周期から、等価回路の定数決定法³⁾を用い

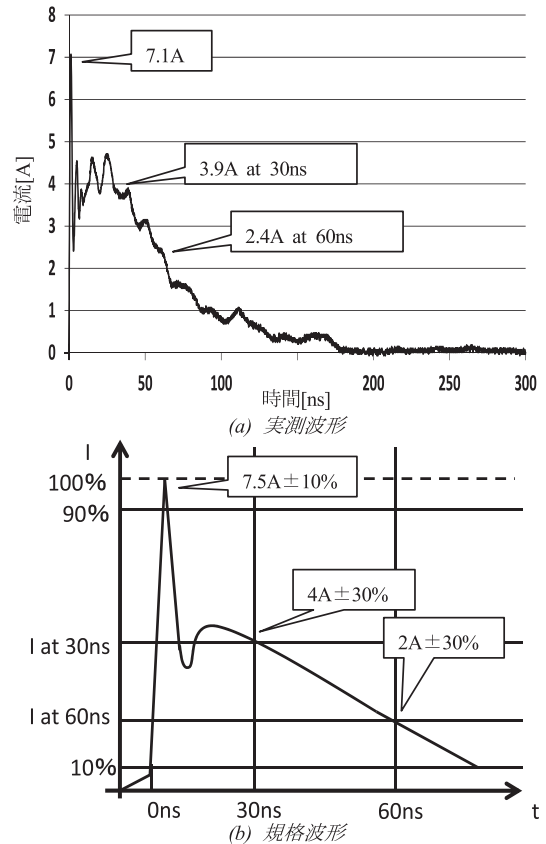


図2 ESDガンの実測波形とIEC規格波形
Fig. 2 Measured discharge current waveform of the ESD-gun and the IEC61000-4-2 standard waveform.

て、ESDガンの等価回路を設計した。

本研究で用いた高周波回路シミュレータは、Agilent Technologies 社製 Genesys である。回路シミュレータ上でESDガンの等価回路を作成する際には、測定系の影響を低減した、より精度の高い放電源モデルを得るために、図3に示す様に、波形測定に用いたターゲットやアッテネータ、オシロスコープの内部抵抗を反映した形で等価回路の定数を調整し、最終的に図3の放電SWより右側の測定系

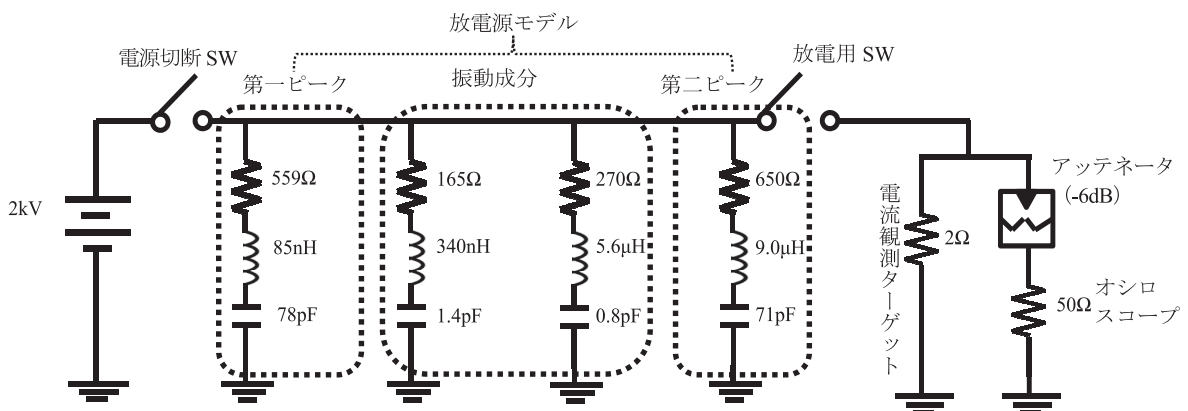


図3 ESDガンの等価回路を求める際のシミュレーション構成とESDガンの放電源モデル
Fig. 3 ESD source model for the contact discharge of the ESD-gun and whole circuit for its calculation.

と、高電圧電源を除くことで放電源モデルを作成した。

図3の回路は、シミュレーション開始前に、放電源の等価回路に高電圧が印加され、等価回路内のコンデンサが充電される。その後、シミュレーション開始と同時に電源切断SWによって放電源の等価回路が電源から切り離され、その直後に放電用SWがオンとなり放電が開始される構成とした。図3のRLC直列回路は左側から第一ピーク成分、中央2組のRLC直列回路が振動成分、そして一番右側が第二ピーク成分である。図4と表1に、シミュレーション結果と実測値を比較した結果を示す。図4と表1より、第1ピーク電流値、第2ピーク電流値および100 nsでの電流値は再現できたが、第1ピーク直後の振動成分の振幅や波形形状については、RLC定数のチューニングが難しく、振動成分の過渡域の再現には課題が残った。なお、文献⁶⁾に示したESDガンの放電源モデルと比較して今回は、印加電圧に加えて実測波形の測定方法、ならびにLCR値のチューニング時に用いるシミュレーションの回路構成を改良したため、放電源モデルの定数や構成は異なっている。

4. 伝送線路モデルの作成

前述の誤作動評価基板の伝送線路のSパラメータの測定は、誤作動評価基板上のモデリング対象の伝送線路部分の両端にSMAコネクタをはんだ付けし、SMA同軸ケーブルを用いてVNA（Agilent Technologies E5071C）を用い、100 kHzから8.5 GHzまでの周波数において行った。図5に、VNAにて測定した誤作動評価基板の入力信号ラインのSパラメータから得られる通過特性（S21）のグラフを示す。図5より、本報告で用いたPCBの伝送線路は、2 GHz以下では3.5 dBの減衰量でおおよそフラットな周波数特性を持ち、2 GHz以上の高い周波数帯では急激に減衰することが分かる。

5. ESDストレスのシミュレーション

本章では、高周波回路シミュレータ Genesys 上で、前述の放電源モデルと伝送線路モデルを用いて誤作動評価基板の入力信号ラインにESDを印加した際にICの入力ピンに到達するESDストレスの電圧波形をシミュレートし、実測した波形と比較した。

なお、デバイスのESD保護回路モデルに、ICの代替として30 Ωの抵抗を用いた場合を5.1節に、一般的なIC内部のESD保護回路の等価回路構成を元にこの定数を調整して用いた場合を5.2節に示す。

5.1 ESD保護回路を抵抗で置き換えた場合

図6に、デバイスのESD保護回路のモデルにICの代替

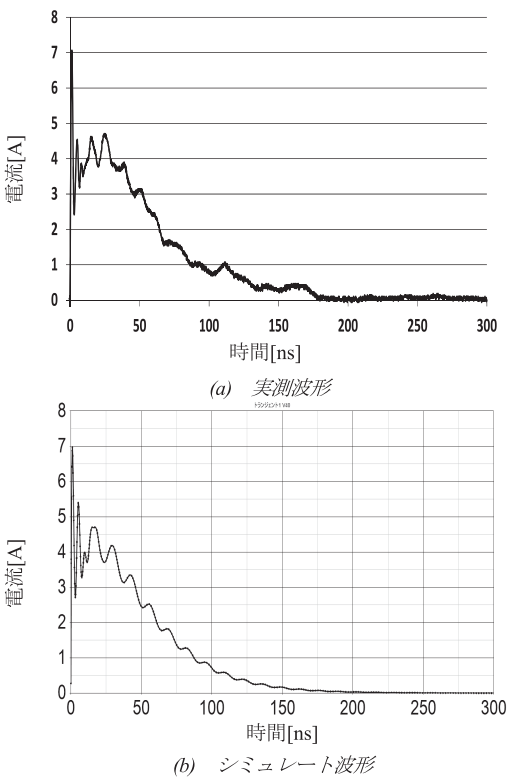


図4 ESDガンの実測波形と放電源モデルのシミュレート波形
Fig. 4 Measured and simulated discharge current waveform of the ESD-gun.

表1 実測値とシミュレート結果との比較
Table 1 Comparison of the measured and simulated results

	第一ピーク 電流値 [A]	第二ピーク 電流値 [A]	100ns での 電流値 [A]
実測値	7.1	4.6	0.7
シミュ レート値	7.0	4.7	0.7

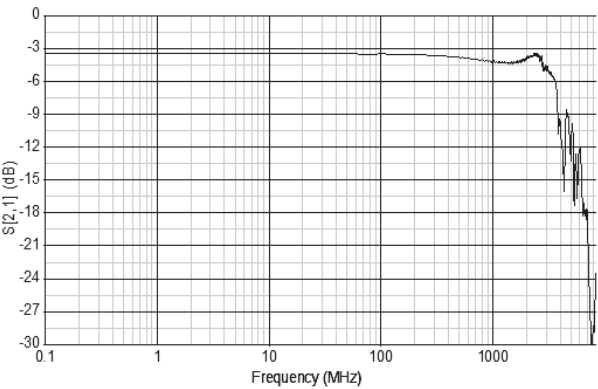


図5 誤作動評価基板の伝送線路の周波数特性
Fig. 5 Frequency response of the transmission line.

として30 Ωの抵抗を用いた場合のシミュレーション時の回路構成を示す。図7に、ESDガンの印加電圧が+300 Vの場合に、ICに印加されるESDストレスを高電圧差動ブ

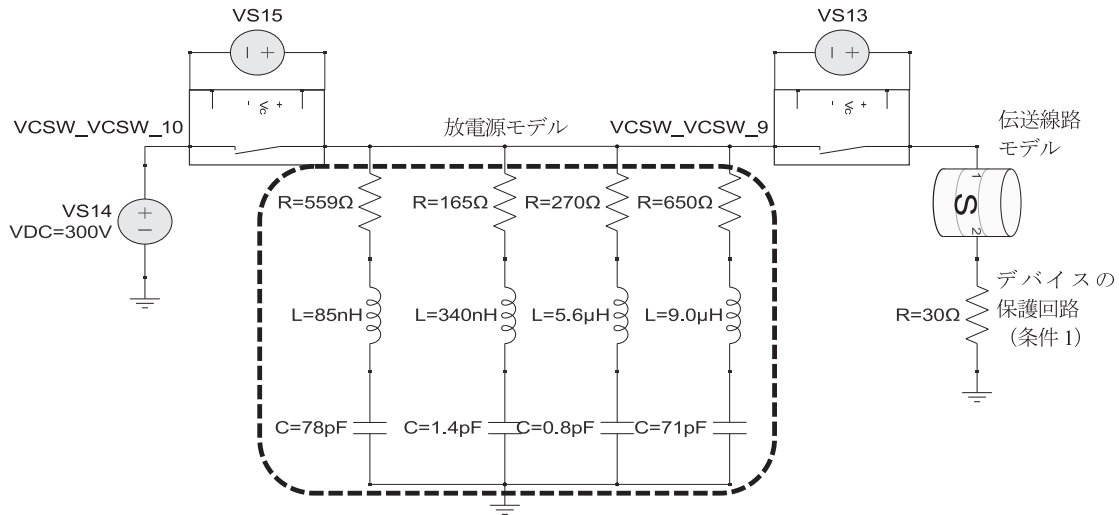


図6 シミュレーション時の回路構成

Fig. 6 Circuit structure for the ESD stress simulation on the circuit simulator.

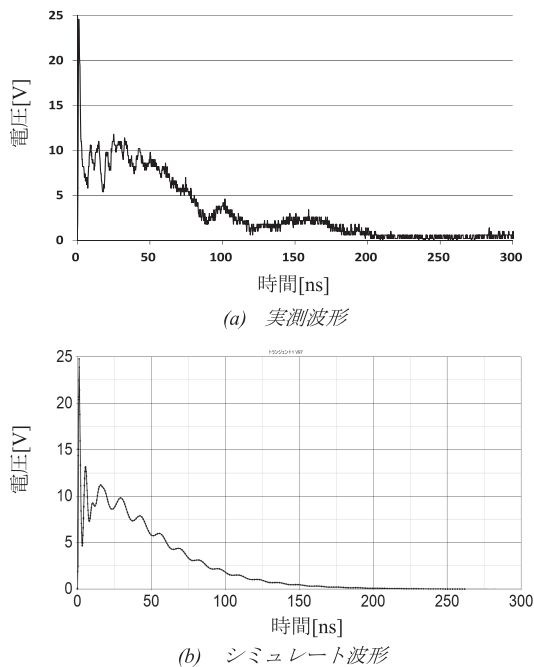


図7 実測波形とシミュレート波形との比較

Fig. 7 Comparison of the measured and simulated voltage waveform.

ローブ（Tektronix TDP-1000, 帯域 1 GHz, 差動入力電圧 ± 42 V）を用いて実測した電圧波形と、シミュレーションで得られた電圧波形を示す。

図7より、電圧波形の概形に加えて、急峻な第一ピークの電圧値（約 25 V）や、緩やかな第二ピークの電圧値（約 10 V）、信号の持続時間（約 200 ns）もほぼ再現できており、当条件ではシミュレーションが成功したといえる。なお、第1ピーク直後の振動成分はシミュレート波形が大きくなっており、放電源モデルの誤差が最終的な結果にも影響していると考えられる。

なお、今回の計測箇所において差動プローブの作動入力電圧内に収めるために、ESD ガンの印加電圧を +300 V で実験を行ったが、+2 kV でモデリングした放電源モデルが通用する結果となった。これは、ESD ガンの接触放電は気中放電とは異なり、電圧が変化しても放電電流波形形状がある程度類似していたためと考えられる。

5.2 ESD保護回路として等価回路を用いた場合

図8に、デバイスのESD保護回路の等価回路を、ダイオードとインダクタとキャパシタで構成された一般的な等価回路構成を用いた回路構成を示す。なお、このESD保護回路の等価回路中のL成分、C成分の値は、今回用いたICにおける具体的な値が不明なため、シミュレート波形が実測波形に近づくように、シミュレータ上で事後的に定数を調整した。

図9に、ESD ガンの印加電圧が +400 V の場合にICに印加されるESDストレスの、高電圧差動プローブによる実測電圧波形と、図8によるシミュレーション電圧波形を示す。図9より、急峻な第一ピーク（約 35 V）がまず発生し、その後 50 ns ほど振動した後にIC内部のESD保護回路が働いて約 2.1V にクリッピングされ、約 250 ns の間、ESD ストレスによる電圧が持続する特徴を持つ電圧波形が、シミュレーションで再現できていることが分かる。

これらの結果より、IC内部のESD保護回路の等価回路の定数を適切に設定できれば、ESD ストレスのシミュレーション精度が確保できると言える。しかし、今回は事後的に定数を調整しているため、今後は実際の半導体デバイスのESD保護回路のモデリング手法を検討することが必要である。

6. まとめ

本研究では、高周波回路シミュレータ上で、ESD 印加時

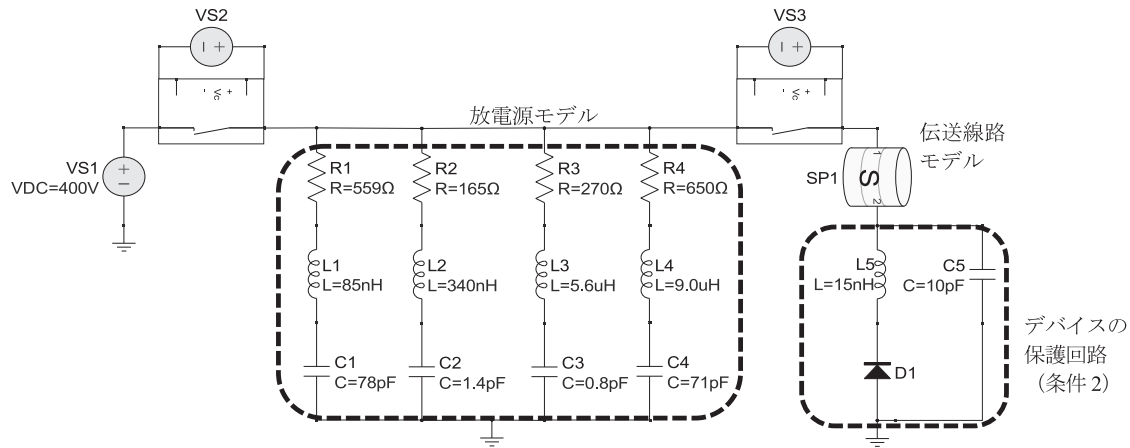


図8 IC内部のESD保護回路を考慮したシミュレーション時の回路構成

Fig. 8 Circuit structure for the ESD stress simulation with the equivalent circuit of ESD protection circuit.

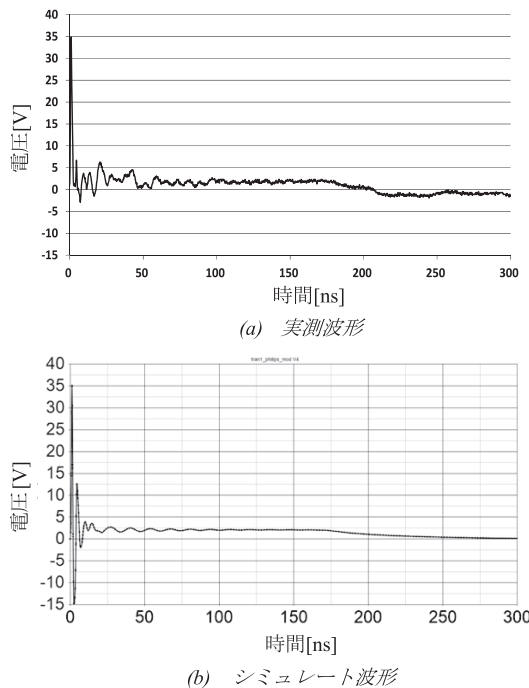


図9 実測波形とシミュレート波形との比較

Fig. 9 Comparison of the measured and simulated voltage waveform.

にデバイスに到達するESDストレスの電圧波形のシミュレーションを試み、実際に誤作動評価基板にESDストレスを印加した際の実測波形とシミュレーション結果とを比較した。その結果、放電源モデルと伝送線路モデル、ならびにデバイス内部のESD保護回路モデルを組み合わせる手法により、電圧波形形状やピーク電圧値、信号の持続時間に加えて、IC内部のESD保護回路によるクリッピング波形の概形が再現でき、ESDストレスのシミュレーションが実現できる可能性が高いことが確認できた。

今後の課題としては、ESDストレスのシミュレーション

手法の確立に向けて、デバイス内部の保護回路のESD印加時の特性のモデリング方法の検討や、電磁界シミュレータを用いて得た伝送線路のsパラメータによるシミュレーションの検討が挙げられる。

謝辞

この研究の一部は、平成21～22年度の(株)半導体理工学研究センター(STARC)の御支援によるもので、ここに感謝の意を表します。また、本研究に熱心に従事されました平成23年度卒業研究生の廣瀬元氏に感謝の意を表します。

参考文献

- 1) 静電気学会：静電気ハンドブック，p.251-253，オーム社(1998)
- 2) (株)ノイズ研究所：静電気試験法マニュアル(IEC規格版2008/2009)，(株)ノイズ研究所(2008)
- 3) N. Chang, Y. Liao, et.al: Efficient multi-domain ESD analysis and verification for large SoC designs. 33rd Electrical Overstress/Electrostatic Discharge Symposium (2011)
- 4) 林 洋一，福田浩一，馬場俊祐，黒田俊一，福田保裕：半導体デバイス・回路混合(Mixed-Mode)シミュレーションを用いたESD保護設計. EMC, **18** [12] (2006) 38-45
- 5) M. Honda: EMI power analysis of transient fields from fixed gap ESD. *Industry Applications Conference*, **1** (2002) 284-289
- 6) 廣瀬 元，吉田孝博，増井典明：各種放電源からの静電気放電の等価回路の定数決定法. 静電気学会誌, **36** (2012) 14
- 7) 小村淳己，吉田孝博，増井典明：各種放電源からのESD特性の比較. 静電気学会誌, **36** (2012) 8