

論 文

# 液晶ディスプレイのガラス基板帯電と静電破壊

保坂 靖夫\*, 原田 望\*\*

(1997年7月7日受理)

## Electrostatic Destruction of Liquid Crystal Display

Yasuo HOSAKA\* and Nozomu HARADA\*\*

(Received July 7, 1997)

Electronic parts are charged by tribo-electricity on manufacturing lines, and various modes of electrostatic destruction occur. Especially, during the manufacturing process of a liquid crystal display (LCD), LCD glass substrate with a large area is charged with a large tribo-electric charge; consequently, electrostatic destruction or deterioration (ESD) occurs on LCD glass substrates. For an array process, thin film transistors (TFT) and wiring lines on the glass substrates are destroyed by a spark discharge of this charge. This destruction occurs often at the pattern edge of the glass substrate due to the edge effect of the electric field. Different forms of ESD occur in a cell process whereby an LCD is assembled by pouring a liquid crystal into the gap between an array glass and a color filter glass. This paper demonstrates that tribo-electricity charge is generated by the air evacuation of an evacuation stage, and that the various forms of ESD occur at different values of charge density. These forms of ESD include spark discharge destruction, S-line or G-line deterioration and wrong signal phenomena.

### 1. はじめに

電子部品を量産する際、製造ラインで搬送された電子部品は搬送手段や処理工程で異なる材質などと接触し、摩擦帯電による静電気を生ずる。ことに、液晶ディスプレイ (LCD) に使用するガラス基板は、シリコンウエハより大面积で絶縁性が高く静電気が発生しやすいため、大量の静電気による静電破壊が歩留まりを大きく左右する。この帶電したガラス基板が周辺支持体などと接触すると、火花放電による薄膜配線の断線や TFT 素子の破壊、さらに組み上がった液晶セルの駆動時にライン状の画像欠陥による静電劣化や、画像ちらつきを起こすシグナル異常が生ずる。

本論文では、LCD 製造ラインで多用される吸引ステージやクリーンルーム内の気流で起こる気流帯電に着目し、ガラス基板上に TFT 素子を形成するアレイプロセスの気流帯電と静電破壊との関係、さらにセルプロセスの検査工

程で起こる帯電量と静電劣化との関係を明らかにした。これらの関係から、種々の静電破壊 (ESD) を生ずる臨界帯電量を明らかにした。

### 2. 液晶ディスプレイのガラス基板に生ずる帯電

液晶ディスプレイ (LCD) の製造は、ガラス基板上に液晶駆動用の TFT (thin film transistor) 素子を設けるアレイプロセスと、アレイ基板とフィルタ透明電極基板を貼り合わせて液晶を注入し液晶セルを組み上げるセルプロセスからなる。ここではガラス基板背面がアースポテンシャルとなり電界や電位解析が容易で、かつ火花放電が頻繁に観測されるガラス基板固定用の吸引ステージで生ずる静電破壊に着目した。解析の結果、製造プロセス上で見落とされがちな吸引ステージのガラス基板吸着時に起こる気流帯電やクリーンルーム内の気流帯電が帯電の一要因であり、さらに今回使用した LCD ガラス基板 (コーニング 7059) の静電荷は次の工程に達するまで残留し、ガラス基板面の粗さによっても帯電量が変化することが明らかになった。

#### 2.1 吸引ステージで起こる帯電

図 1 に示すように、LCD 基板 4 枚分に相当する 46 cm × 38 cm の大きさの厚さ 1 mm のガラス基板を吸引ステージの金属支持ピン上に搬送アームで搬送し、金属支持ピンが下降すると同時に吸引ステージの吸引孔 (2 mm φ) から空気を 60 cm·H<sub>2</sub>O の吸引圧力で高速吸引し、ガラス基板を

キーワード：気流帯電、静電破壊、S 線・G 線劣化、シグナル異常、液晶ディスプレイ

\* (株)東芝研究開発センター情報・通信システム研究所研究第四担当 (210 川崎市幸区小向東芝町 1)

Toshiba Corporation, R & D Center, Communication and Information Research Lab., 1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki 210, Japan

\*\* (株)東芝液晶開発センター (235 横浜市磯子区新杉田町 8)

Toshiba Corporation, LCD R & D Center, 8, Shinsugita-cho, Isogo-ku, Yokohama 235, Japan

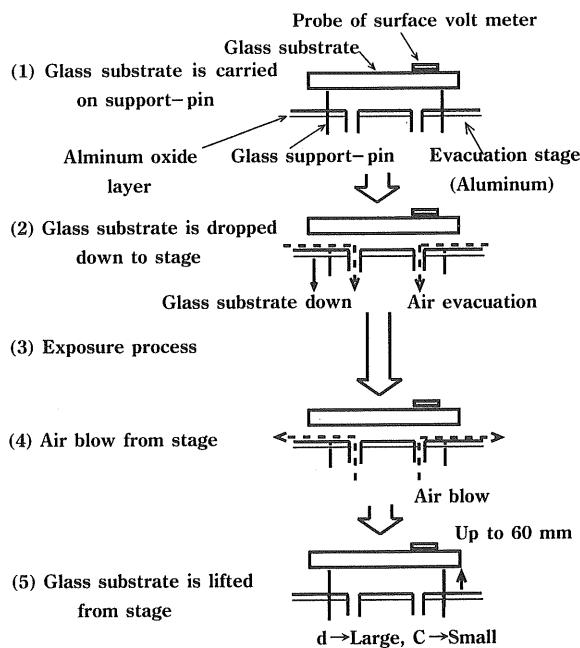


図 1 吸引ステージの動作

Fig. 1 Schematic drawing of evacuation process.

吸引ステージ上に密着固定する。この固定したガラス基板に露光や焼成などの処理工程を施し、その後吸引孔から空気を噴射してガラス基板を剥離し、金属支持ピンで持ち上げて次の工程に搬送アームで搬送する。この吸引ステージはアルミニウムで構成され、ガラス基板密着面は厚さ 100  $\mu\text{m}$  のアルマイト処理が施してある。実験では、アルマイト処理した吸引ステージ上に連続してガラス基板を搬送し、露光や焼成などの一連の処理工程を行う。この処理枚数に対するガラス基板電位と吸引ステージ面の表面電位を測定し、図 2 に示した。電位測定は、表面電位計 (Monroe Electronics Model 244) の電位プローブを測定物から 2 mm の一定距離に配置し、ステージ上 20 mm までガラス基板を金属支持ピンで上昇させて行った。当初 0 V で搬送されたガラス基板は吸引ステージによる高速吸引で -200 V まで帶電する。この帶電電位は処理枚数と共に増加し、13,000 枚後には -1.2 kV まで上昇する。このときガラス基板帶電量は、4 章の計算で示すように  $-6.1 \times 10^{-11} (\text{C}/\text{cm}^2)$  となる。

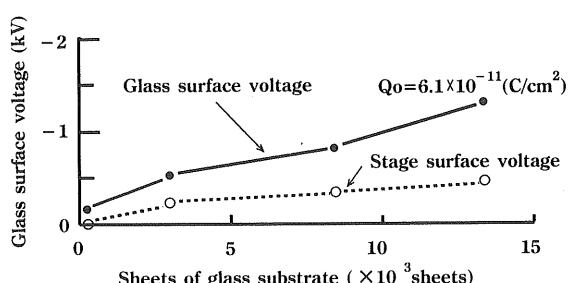


図 2 処理枚数によるガラス基板電位の上昇

Fig. 2 Glass surface voltage increase with the number of treated glass substrate.

表 1 摩擦帶電系列

Table 1 Tribo-electricity series of various materials.

+ Polarity	- Polarity
(Air) Glass Aluminum Metal-oxide Teflon	

表 2 上昇時のガラス基板とアルマイト層の電位

Table 2 Voltage of glass layer and aluminum oxide layer.

Glass layer	Aluminum oxide layer
$\epsilon_a : 1.0$	$\epsilon_s : 8.6$
$L : 20 \text{ (mm)}$	$d : 100 \text{ (\mu m)}$
$V_g : 4.6 \text{ (kV)}$	$V_s : 400 \text{ (V)}$

一方、吸引ステージのアルマイト処理した吸着面はガラス基板と同極性のマイナス極性に帶電し、この電位が処理枚数とともに上昇し 13,000 枚後には -400 V に達する。一般に、ガラス材料は摩擦帶電系列 (表 1)<sup>1)</sup> でプラス極性側に位置し、他の物質をマイナス極性に帶電させる。しかし、上記の実験ではガラス基板とアルマイト処理面の両者が同極性のマイナスに帶電し、摩擦帶電系列から両者を同極性に帶電させる気流帶電<sup>2,3)</sup>の存在が予測される。このアルマイト処理面の帶電量は帶電電位 ( $V_s$ ) を用いて次の関係式で求めることができる。

$$C_s = \epsilon_0 \cdot \epsilon_s / d$$

$$Q_s = V_s \times C_s \quad (1)$$

ここで  $\epsilon_s$  はアルマイトの比誘電率、 $d$  はアルマイトの厚さ、 $C_s$  はアルマイト層のキャパシタンスである。表 2 に示すように、アルマイトの厚さ ( $d$ ) は吸引ステージとガラス基板間距離 ( $L$ ) に比較して小さく、13,000 枚処理後の低い電位 (-400 V) にも関わらず帶電量はガラス基板帶電量よりはるかに大きい  $-3.0 \times 10^{-8} (\text{C}/\text{cm}^2)$  の値を示す。その結果、吸引ステージのアルマイト処理面の電位がパッシュエン放電電位 (330 V) 以上<sup>4)</sup>になると、0 V で搬送されたガラス基板はアルマイト面の帶電電荷がガラス基板に移動し、アルマイト面の電位上昇と共にガラス基板電位も上昇する。

## 2.2 気流帶電の存在

吸引ステージで起こる帶電が気流帶電であることを確認するため、吸引ステージの空気吸引時間と剥離の空気噴射時間に対するガラス基板の帶電電位変動を、アルマイト面の帶電電荷量がない処理枚数の初期状態で測定した (図 3)。ガラス帶電電位の測定は測定のたびに吸引ステージ上 60 mm に金属支持ピンで上昇して行った。ガラス基板が吸引ステージに密着吸引 (図中 ●) すると、吸引開始から連続 5 s の吸引後に帶電電位が -3 kV に急激に上昇し、その後吸引時間と共に徐々に増加する。一方、剥離時の空気

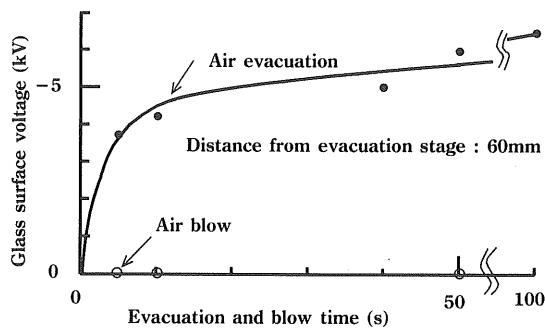


図 3 空気の吸引/噴射時間に対するガラス基板電位上昇

Fig. 3 Glass surface voltage increase with increasing evacuation time or blow time.

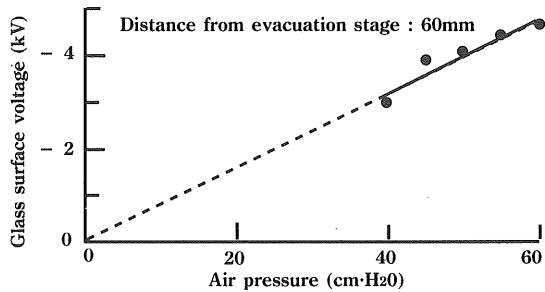


図 4 吸引圧力とガラス基板電位

Fig. 4 Glass surface voltage versus air evacuation pressure.

噴射では電位上昇（図中○）は認められない。この吸引ステージの吸引圧力を  $40 \text{ (cm} \cdot \text{H}_2\text{O)}$  から  $60 \text{ (cm} \cdot \text{H}_2\text{O)}$  まで変化させ、ガラス基板の帶電電位を測定した（図 4）。ガラス基板電位は吸引圧力に比例して増加し、ガラス基板の気流帶電の存在が確認された。さらに、風速  $0.1 \text{ m/s}$  から最大  $0.4 \text{ m/s}$  に達する空気が 8 分間隔で 2 分間吹き出すクリーンルーム内の壁上部の空気吹き出し口近辺に LCD ガラス基板を放置すると、空気が吹き出す度に湿度  $45\%$  に管理されたクリーンルーム内でガラス基板電位が上昇し（図 5）、当初  $0 \text{ V}$  のガラス基板電位は  $-1.5 \text{ kV}$ （図中矢印）に達した。この電位測定はアースポテンシャルの金属面上  $1 \text{ cm}$  の距離にガラス基板を絶縁して配置し、空気口近辺で測定した。この値を帶電量に換算すると  $-1.3 \times 10^{-10} \text{ C/cm}^2$  の値になり、吸引ステージで得られた値の 2 倍に達する。このように、クリーンルーム内の空気吹き出し口近辺にガラス基板を保管するなどするとガラス基板が帶電する。

### 2.3 LCD ガラス基板の電気的特性

このガラス基板の表面粗さを変えることでガラス表面の気体流速が変化し、帶電量が影響を受けることが考えられる。そこで表面粗さを変えた同一ガラス基板を吸引ステージで帶電させ、測定の度に吸引ステージ上  $60 \text{ mm}$  の距離にガラス基板を持ち上げ表面電位を測定した（図 6）。表面の粗いガラス基板は帶電電位が小さく、表面が平滑になる

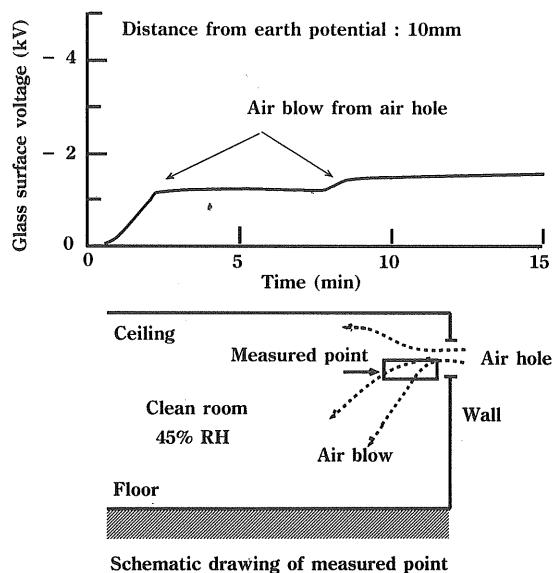


図 5 空気口のガラス基板電位の上昇

Fig. 5 Glass surface voltage increase due to air blow time at air hole.

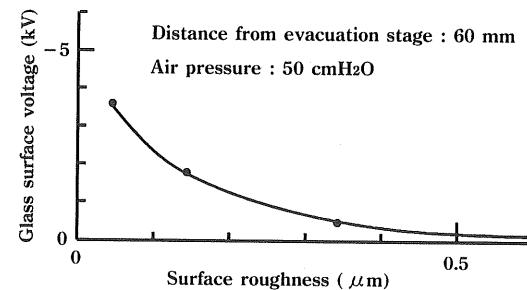


図 6 ガラス基板の表面粗さとガラス基板電位

Fig. 6 Relationship between glass surface voltage and surface roughness.

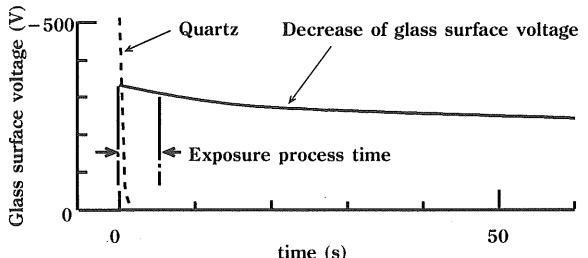


図 7 ガラス基板表面電位の減衰

Fig. 7 Decrease of surface voltage with time.

ほど帶電電位が大きい値を示す。このようにガラス面が平滑になるほど吸引ステージとガラス基板が吸着した際の平均距離が小さくなり、気体流速が速くなつて帶電電位が増加する。次に LCD ガラス基板の片面に薄膜導電層を設け、他の面を吸引ステージで帶電させた後、導電面をアースポテンシャルにしガラス面の電位減衰を測定した（図 7）。ガラスの帶電電位はアースポテンシャルからガラスの厚さ  $1 \text{ mm}$  の電位となるため  $-350 \text{ V}$  と低いが、吸引ステージの露光工程を終了し次の工程に入る  $7 \text{ s}$  後も  $-300 \text{ V}$

の電位が残留している。比較のため、石英ガラス基板を用いた同様の実験結果を図中に点線で示した。石英基板は2s後に電位が0Vまで減衰しており、熱処理などの表面処理が施してあると考えられるLCDガラス基板の電位減衰特性が悪いことが判明した。

### 3. 液晶製造ラインで生ずる静電破壊の種類

アレイプロセスまたはセルプロセスでガラス基板または液晶セルが帶電すると、種々の静電破壊が起こる。ことにアレイプロセスの吸引ステージでは、作成途中のTFT素子の破壊や薄膜配線の断線、ガラス基板上のクロス線間の絶縁体破壊による線間ショートなどが起こる。一方、セルプロセスの検査工程ではアレイプロセスとは異なる静電破壊が生ずる。この検査工程もガラス基板背面にアースポテンシャルの支持体が存在し、帶電電荷による電界および電位解析が容易である。そのため、種々の静電破壊が観測されるアレイプロセスの吸引ステージとセルプロセスの検査工程について、帶電量と静電破壊との関係を解析した。

#### 3.1 吸引ステージ上の断線および線間ショート

アレイプロセスの吸引ステージで帶電したガラス基板が吸引ステージから上昇すると、距離に比例して帶電電位が増加する(図8)。距離が15mmになると帶電電位は-1.2kVになり、ガラス基板のエッジ領域で配線間の絶縁樹脂層が黒色に変色して破壊し、線間ショートが観測される(図9(a))：破壊点は保護膜下にあり写真不鮮明のため模式図で示した。エッジから離れた領域ではTFT素子が噴火状に破壊し、かつクロス点のライン間のショートが観測される。このように静電破壊が生ずるとガラス基板上の表面電位計にノイズが認められ、ガラス基板上に絶縁破壊が生じたことがわかる。さらにガラス基板を50mmまで上昇させるとガラス基板電位は-4kVに達し、ガラス基板を搬送するため搬送用金属アームが接近すると火花放電が観測さ

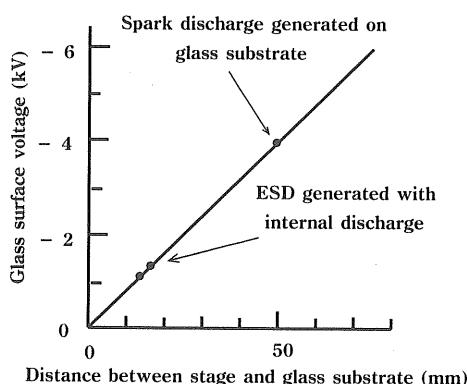
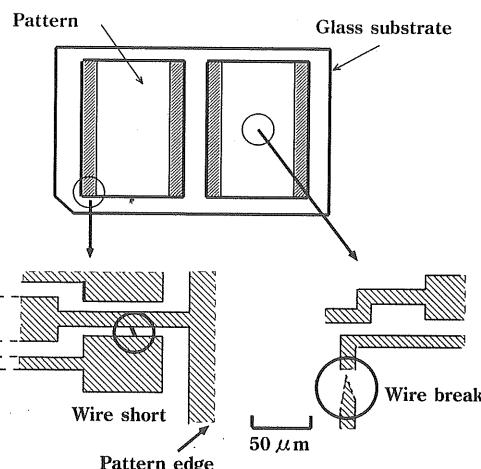
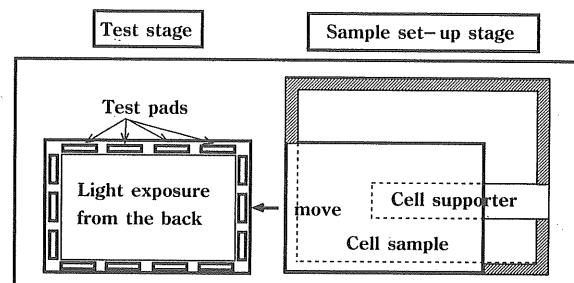


図8 距離の増加による電位上昇と静電破壊の発生  
Fig. 8 ESD generated with increasing distance or surface voltage.



(a) ESD generated at pattern edge (b) ESD generated on glass substrate center

図9 アレイ基板に発生する静電破壊  
Fig. 9 ESD generated on the array glass substrate.



Front side is the color filter of the LCD cell

図10 最終検査工程の概念図  
Fig. 10 Illustration of test process.

れる。火花放電が発生すると、ガラス基板の不特定領域で配線パターンの断線が観測される(図9(b))。

#### 3.2 セルプロセス検査工程の火花放電による静電破壊

TFT素子を設けたアレイ基板とフィルタ透明電極基板間に液晶を注入するセルプロセスの検査工程(図10)では、アレイプロセスと異なる種々の静電破壊が認められる。この工程では、検査プローブを液晶セルに接触させ液晶セルを駆動して背面から光を照射し、画像形成により欠陥を見つける。このとき、検査プローブが液晶セルの検査パッドに近づくと火花放電が起り、アレイプロセスの吸引ステージと同様の種々の断線が観測される。

#### 3.3 TFT素子の電荷注入による劣化

一般に絶縁体に高電圧が加わると絶縁層への電荷注入が起り、絶縁層の電気的特性が劣化する。帶電した液晶セルのS(信号)線またはG(ゲート)線にアースポテンシャルの検査プローブが接触すると、アモルファスSiを挟むTFT素子のS線とG線間に高電界が生じTFT素子電極からアモルファスSi層に電荷注入が起る(図11)。その結果、LCD上にS線またはG線に沿ってTFT素子の駆動電圧シフトが起り、静電劣化と呼ばれる白いライン状の

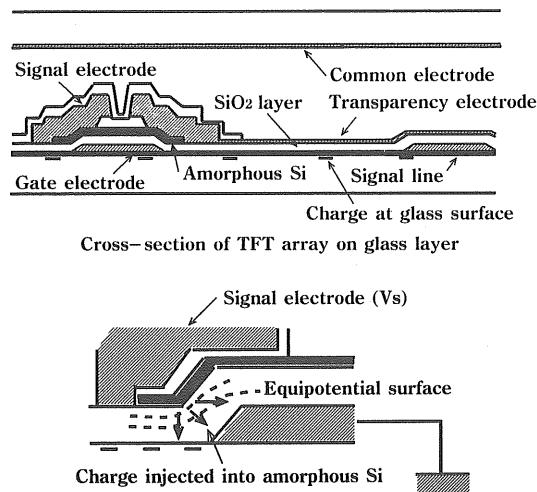
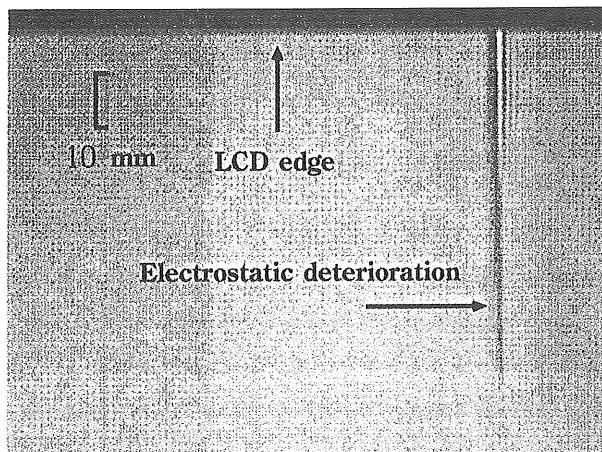


図 11 TFT 素子の静電劣化概念図

Fig. 11 Cross-section of TFT element and electrostatic deterioration phenomena.

図 12 液晶ディスプレイに生じた静電劣化の白線  
Fig. 12 White line of on an LCD as a result of ESD.

画像が生ずる（図 12）。

#### 3.4 液晶セル基板間の帯電によるシグナル異常

液晶セルのアレイ基板とフィルタ透明電極基板間が 5 V 程度になる静電荷が存在すると、シグナル異常と呼ばれる画像ちらつきが実験で確認されている。この現象は、静電気で吸着しやすい 1 μm 以下の微細ゴミ<sup>5)</sup>が液晶セルのアレイ基板またはフィルタ透明電極基板上に存在し、両電極間ギャップ 5 μm に生じた強電界 (10<sup>4</sup> V/cm) で微細ゴミに電極保護膜上の静電荷が注入され<sup>6)</sup>、微細ゴミが対抗電極に移動して電荷放出することで起こると考えられる。しかし、信号線に信号電圧 5 V が印加された場合は、信号線上の保護膜で電荷注入が阻止されシグナル異常は起こらない。

#### 4. 種々の静電破壊を生ずる臨界帯電量の解析

帯電したガラス基板またはセル基板はアースポテンシャルからの距離の増加で帶電電位が上昇し、アースポテンシャルの導体などと接触すると種々の静電破壊が生ずる。ここでは、アレイプロセスの吸引ステージとセルプロセスの検査工程で帯電電位を求め、帯電量と静電破壊との関係を明らかにした。

##### 4.1 放電破壊を生ずる電界と帯電量

アレイプロセスの吸引ステージで起こる帯電量と静電破壊との関係を求めるため、吸引ステージにガラス基板を搬送し露光などの全工程を終了するまでのガラス基板帯電電位を時間経過に従って測定した（図 13）。電位 0 V で金属支持ピンに搬送されたガラス基板は、吸引ステージ上に吸引固定されると -400 V まで電位 ( $V_g$ ) が上昇する（図 13 ①）。その後、露光などの工程を経て吸引ステージ空気孔から空気噴出させて剝離し（図 13 ②），金属支持ピンで持ち上げられる。すると距離の増加と共に電位が増加する（図 13 ③）。この距離 ( $L$ ) の増加で両者間の単位面積当たりキャパシタンス ( $C_g$ ) が減少し、次式で示すように同一帯電量 ( $Q_g$ ) に対して電位が増加する。

$$C_g = \epsilon_0 \cdot \epsilon_a / L$$

$$V_g = Q_g / C_g \quad (2)$$

ここで、 $\epsilon_0$  は真空中の誘電率、 $\epsilon_a$  は空気の比誘電率である。図 8 に示したように、距離が 15 mm になると電位は -1.2 kV になる。この電圧では火花放電は認められないが、エッジ領域で線間ショートなどの静電破壊が起こる。境界要素法を用いた電界計算では（図 14(a)）、この距離でガラス面上の電界が -2.4 kV/cm に達して飽和する。ガラス基板のエッジ領域 10 mm 以内ではエッジ効果で水平方向の電界が大きくなり（図 14(b)）、ガラス面上の電界方向と一致した線間ショートが観測される。エッジ領域から 10 mm 以上離れると垂直方向の電界が増加し、クロス線間で絶縁層破壊が起こる。このときのガラス基板の単位面積当たりの帯電量は、式(2) と表 1 から  $-6.1 \times 10^{-11} (\text{C}/\text{cm}^2)$

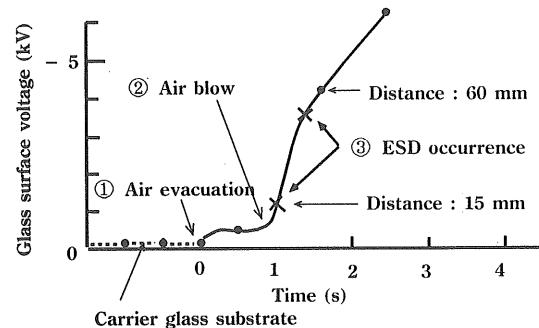


図 13 吸引ステージ上のガラス基板電位変動

Fig. 13 Variation of glass surface voltage on the evacuation stage.

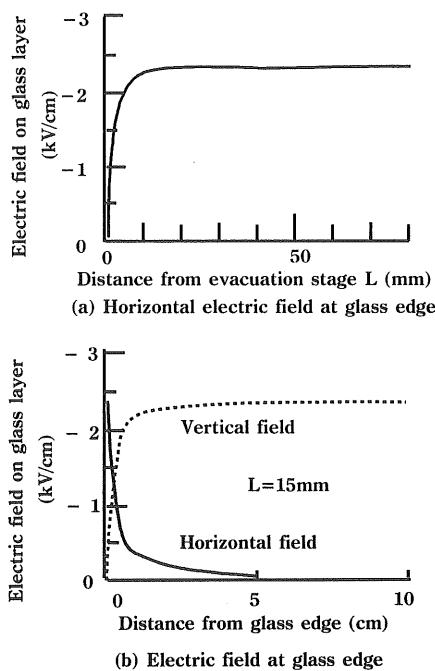


図 14 ガラス基板端面の電界エッジ効果  
Fig. 14 Edge effect of electric field generated at glass edge.

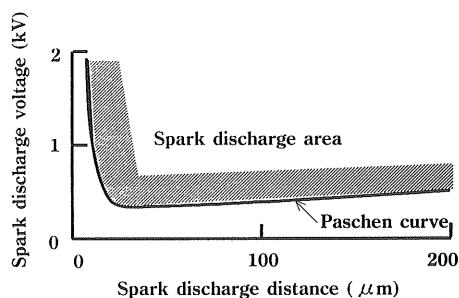


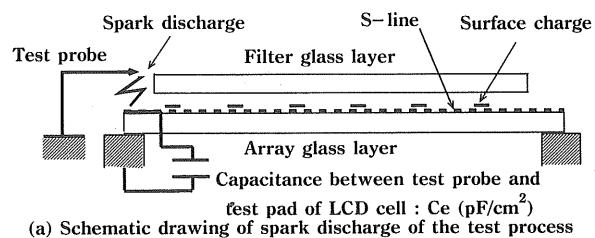
図 15 火花放電を生ずるパッシエンカーブ  
Fig. 15 Paschen curve of spark discharge.

の値となる。このように、電界が最大になると火花放電とは異なる静電破壊が起こることが明らかになった。さらに距離が 50 mm に上昇すると、ガラス基板電位は -4 kV に達し、アースポテンシャルの搬送用金属アームが近づき距離が 700 μm 以下になると、パッシエンの火花放電(図 15)が発生する。この火花放電で大電流が TFT 素子や配線中を流れ、素子の破壊や断線が起こる。

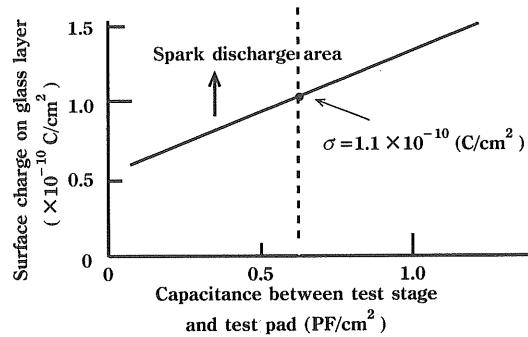
一方、セルプロセスの液晶セルを検査する検査工程では、アースポテンシャルの検査プローブが帶電した液晶セルに接近すると、検査プローブと液晶セルの信号入力用検査パッド間で火花放電が発生し、静電破壊が起こる。検査工程の断面模式図(図 16(a))で示すように、液晶セルの帶電電位( $V_p$ )は単位面積当りの帶電量( $Q_c$ )と、S 線または G 線終端の検査パッドと検査支持体間キャパシタンス( $C_c$ )から、次式で与えられる。

$$V_p = S_o \times Q_c / C_c$$

$$C_c = (N_s + N_g) \times C_e + C_p \quad (3)$$



(a) Schematic drawing of spark discharge of the test process



(b) Surface charge generating spark discharge

図 16 火花放電を発生する表面電荷量

Fig. 16 Surface charge to generate spark discharge at the test process.

$N_s$  および  $N_g$  は S 線および G 線の本数、 $C_p$  は検査プローブと液晶セル検査パッド間キャパシタンスである。 $S_o$  は帶電電荷が存在する S 線と G 線が占める全面積であり、1 ラインが占める S 線と G 線の面積  $S_s$  と  $S_g$  および両者がクロスする面積  $S_c$  を用いて次式で与えられる。

$$S_o = S_s \times N_s + S_g \times N_g - S_c \times N_s \times N_g \quad (4)$$

$C_p$  は、実測からパッシュンの最少放電距離(30 μm)で  $13 \times 10^{-15}$  (F) の値を得た。 $C_e$  は個々の S 線または G 線終端の検査パッドと支持体間のキャパシタンスで、実験に用いた代表的な検査装置では  $0.6 \text{ pF/cm}^2$  である。式(3)と表 3 から、火花放電を発生する距離 30 μm の電位( $V_p = 330 \text{ V}$ )を与える電荷量( $Q_c$ )を、キャパシタンス  $C_e$  に対して図 16(b)に示した。キャパシタンス  $C_e$  が  $0.6 \text{ pF/cm}^2$  のとき、 $1.1 \times 10^{-10} \text{ C/cm}^2$  の電荷量で火花放電が発生する。この値は吸引ステージで火花放電が発生する値のほぼ 2 倍となり、吸引ステージより火花放電が起こりにくいことを示している。

表 3 静電劣化計算に使用したキャパシタンスとディメンション

Table 3 Parameters used in calculation of ESD.

$$C_p : 13 \times 10^{-15} (\text{F})$$

$$C_e : 8.84 \times 10^{-15} (\text{F})$$

$$S_s : 20 (\mu\text{m}) \times 40 (\text{cm})$$

$$S_g : 9 (\mu\text{m}) \times 30 (\text{cm})$$

$$S_c : 20 (\mu\text{m}) \times 9 (\mu\text{m})$$

$$N_s : 480 \text{ elements}$$

$$N_g : 1,920 \text{ elements}$$

#### 4.2 静電劣化を生ずる帶電量

セルプロセスの検査工程で S 線または G 線の検査パッドにアースポテンシャルの検査プローブが接触すると、TFT 素子のアモルファス Si 層に高電界が加わる。S 線と G 線間に 380 V の電圧が加わると、アモルファス Si 層内のゲート電極近傍の電界がアモルファス Si の絶縁破壊電界 ( $2.0 \times 10^7 \text{ V/cm}$ ) に近い値になることが電界計算（図 17）から得られる。一般に、絶縁体に高電界が加わると印加電圧の  $n$  乗に比例した電荷注入<sup>3)</sup>が絶縁体に起り絶縁性が劣化する。この劣化現象と帶電量との関係を明らかにするため、S 線と G 線間に外部から電圧を印加して印加電圧 ( $V_i$ ) に対する駆動電圧のシフト量 ( $\Delta V_s$ ) を求めた（図 18）。この実験結果をもとに、印加電圧に対する駆動電圧シフト量を次式で近似した。

$$\Delta V_s = 2 \times (V_i / 100)^{6.5} \quad (5)$$

この駆動電圧のシフト量を駆動電圧 (5 V) の 1/25 (0.2 V) まで許容すると、S 線と G 線間の印加許容電圧は式 (5) から 70 V になる。等価回路（図 19）に示すように、アース

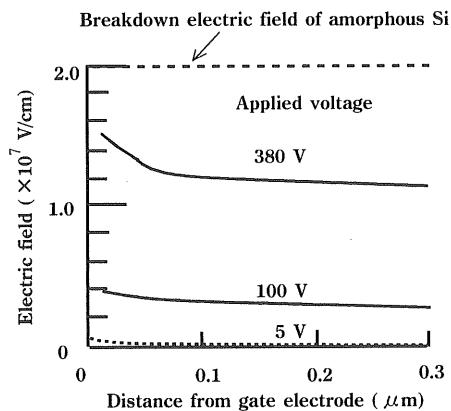


図 17 アモルファス Si 中の電界強度  
Fig. 17 Electric field in amorphous Si of TFT element.

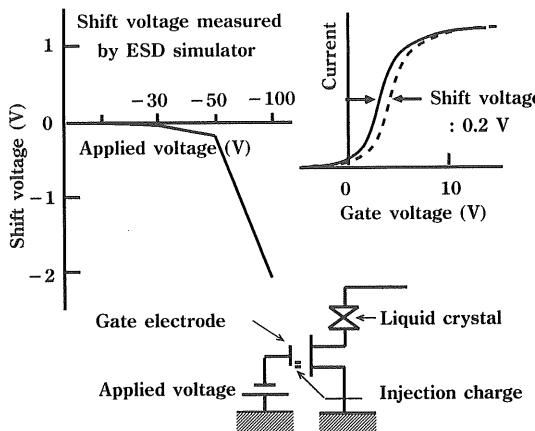


図 18 電圧印加による TFT 素子の駆動電圧シフト  
Fig. 18 Shift voltage generated by high voltage applied to TFT element.

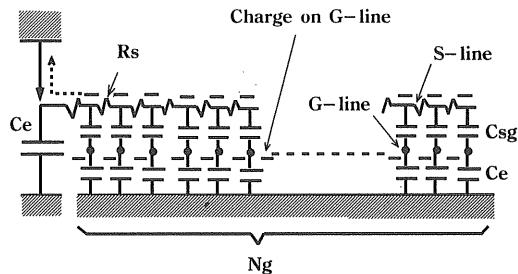


図 19 静電劣化素子数計算に用いる等価回路  
Fig. 19 Equivalent circuit to calculate the number of elements affected by ESD.

ポテンシャルの検査プローブが S 線（または G 線）終端の検査パッドに接触すると、最初に接触した S 線がアースポテンシャルになる。このとき、S 線と直行する G 線終端の検査パッドが検査装置支持体とキャパシタンス  $C_e$  を介してアースポテンシャルのため、TFT 素子のキャパシタンス  $C_{sg}$  には G 線（または S 線）上の帶電電荷で決まる電圧が生ずる。このとき、S 線抵抗  $R_s$  とキャパシタンス  $C_{sg}$  および  $C_e$  からなる時定数で S 線の検査パッド先端の TFT 素子のアモルファス Si 層から終端まで順次電圧が加わることになる。この終端に達する時定数  $1 \mu\text{s}$  を測定から得ている。その結果、TFT 素子のアモルファス Si 層に電荷注入が起こると次式で示す電荷注入時の電荷の消費で、TFT 素子に加わる電圧  $V(k)$  が順次減衰する [付録 1]。

$$V(k) = \{ N_s \times Q_0 - \sum_{k=1}^n \Delta V(k-1) \\ \times C_{sg} \} / \{ N_s \times (C_{sg} + C_e) \} \quad (6)$$

$$\Delta V(k) = \{ V(k-1) / 100 \}^{6.5}$$

以上の式に表 3 で用いた値を代入し、各 TFT 素子に加わる電圧を計算して図 20 に示した。帶電量が  $-18.3 \times 10^{-12} (\text{C}/\text{cm}^2)$  以上では S 線上の全素子が劣化許容電圧 ( $-70 \text{ V}$ ) 以上となる。 $-9.2 \times 10^{-12} (\text{C}/\text{cm}^2)$  では S 線上の 1,920 素子のうち約 1,400 素子が劣化する。つぎに、劣化が始まる

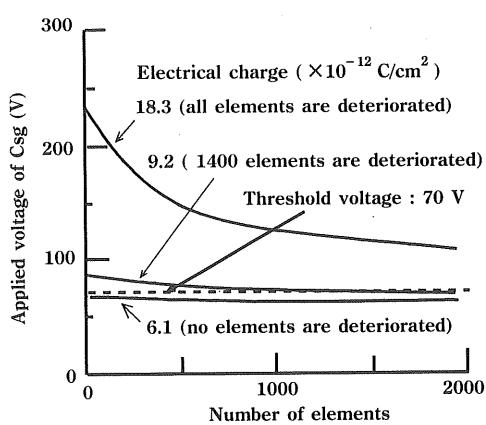


図 20 S 線劣化素子数の計算  
Fig. 20 Calculated number of deteriorated elements.

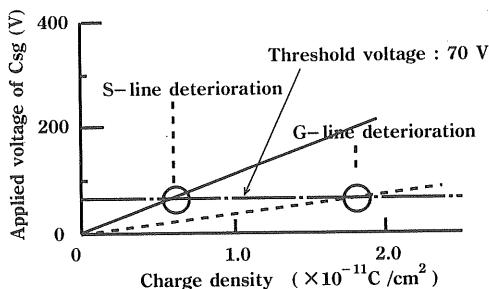


図 21 静電劣化を生ずる電極間電圧と電荷量  
Fig. 21 Charge density to generate deteriorations.

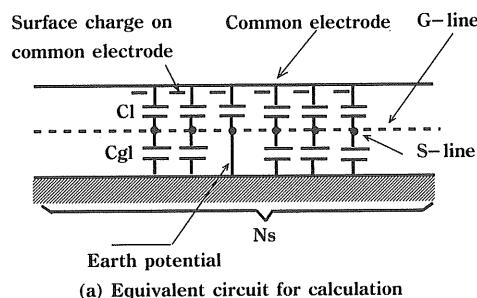
帶電量  $Q_0$  の臨界値を求めるため、S 線端部の最初の素子に加わる電圧  $V(1)$  を帶電量に対して式(6)から求め、次式に示す。

$$V(1) = N_s \times Q_0 / (N_s \times (C_{sg} + C_e)) \quad (7)$$

この帶電量に対する電圧  $V(1)$  を図 21 に示す。以上の結果から、S 線上で劣化を生ずる臨界電圧 -70 V 以上になる電荷量は、火花放電を起こす電荷量のほぼ 1/20 の  $-6.1 \times 10^{-12} \text{ C/cm}^2$  となる。G 線劣化の場合は G 線上に直行する S 線の数が少なく、同一の単位面積当たりの帶電量では電位が低くなり、図中の点線で示すように S 線劣化のほぼ 3 倍の帶電量で初めて G 線劣化が起こる。

#### 4.3 シグナル異常を発生する帶電量

LCD を駆動する際にアレイ基板上の透明駆動用電極と液晶と対抗するフィルタ透明電極間の両電極面の保護膜上に静電気が存在すると、両電極間の電位が 5 V 以上でシグナル異常が発生する。この電位を与える帶電電荷量をつぎに計算する。等価回路（図 22(a)）に示すように、1 ライ



(a) Equivalent circuit for calculation

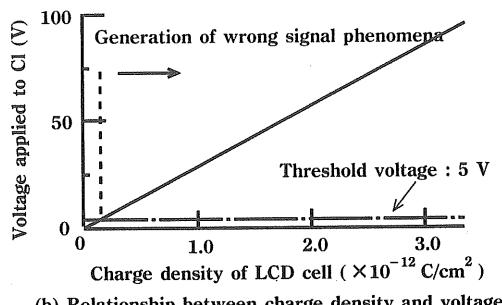


図 22 シグナル異常を生ずる電荷量  
Fig. 22 Charge density to generate wrong signal phenomena.

表 4 シグナル異常の計算で使用したパラメータ

Table 4 Calculation parameters for wrong signal phenomena.

$$Cl : 0.13 \times 10^{-15} (\text{F})$$

$$C_g l : 4.2 \times 10^{-15} (\text{F})$$

ンの S 線がアースポテンシャルの ON 状態で他の S 線が OFF 状態のとき、液晶を挟む両電極間のキャパシタンス  $C_g l$  を介して電位  $Vl$  が最も高くなる。このときの両電極面の保護膜上に帶電した電荷量 ( $Q_0$ ) に対する  $Vl$  を計算する式次式になる。

$$Cl_{sg} = N_g \times N_s \times Cl$$

$$Q_0 = Vl \times Cl_{sg} \quad (8)$$

ここで、 $Cl$  は各液晶素子の駆動用透明電極とフィルタ透明電極間のキャパシタンスで、電極間電位を帶電電荷量に対して示すと図 22 (b) となる。両電極間ギャップ  $5 \mu\text{m}$  のとき式 (8) に表 4 の値を代入して計算すると、シグナル異常が生ずる電位差  $5 \text{ V}$  を与える電荷量は  $1.0 \times 10^{-12} (\text{C}/\text{cm}^2)$  となり、検査工程で火花放電を発生させる電荷量の  $1/110$  と小さい値となる。このときの電荷量で液晶ギャップ間の電界は  $10^4 (\text{V}/\text{cm})$  の高い値を示し、ギャップ間に存在する  $1 \mu\text{m}$  以下の微細ゴミに帶電電荷が注入され、対抗電極へ移動して電荷放出する際にシグナル異常が発生する。

#### 5. 種々の静電破壊と臨界帶電量

以上の結果から、種々の静電破壊と帶電量との関係を図 23 に示した。アレイプロセスの吸引ステージでは、摩擦帶電系列でプラス極性側に位置するガラス基板が気流帶電によりマイナス極性に帶電する。この帶電したガラス基板を吸引ステージから持ち上げると、初め電界が増加しエッジ効果で基板周辺に線間ショートが起こる。端面から離れた領域ではガラス基板と直角方向の電界が増加し、交差した薄膜配線間のショートや TFT 素子の絶縁破壊が起こる。

Kinds of ESD

Spark discharge destruction

Spark discharge at evacuation process — At test stage of cell process

Electrostatic deterioration

S-line deterioration All G-line elements generated — are deteriorated

Wrong signal phenomena

Wrong signal generated

Charge density (×10⁻¹¹ C/cm²)

図 23 種々の電荷量で生ずる静電破壊の種類

Fig. 23 Various ESD generated at different charge densities.

ガラス基板が5cmまで上昇すると電位は-4.5kVに達し、搬送用金属アームが近接すると火花放電が生ずる。この火花放電で大电流が薄膜配線上を瞬時に流れ、薄膜配線の断線やTFT素子の破壊が起こる。パッシェンの放電曲線を外挿して-4.5kVで火花放電を起こす距離を求めるとき $700\mu\text{m}$ となり、このときの帶電量は $-6.1 \times 10^{-11} \text{ C/cm}^2$ である。さらに、クリーンルーム内空気口に放置したガラス基板は空気口からの空気で帶電し、その値は吸引ステージで発生する帶電量を超える値となる。

一方、セルプロセスの検査工程では、帶電した液晶セルに検査プローブが接近すると火花放電が起こる。このときの帶電量は、アレイプロセスの吸引ステージで起こる火花放電の2倍に近い $-1.1 \times 10^{-10} \text{ C/cm}^2$ となる。液晶セルの帶電量をこの値以下に抑えることで検査工程の火花放電を防止できる。また、S線とG線間の電位を-70V以上にする帶電量が存在すると、画像上で白濁のラインを示す静電劣化が生ずる。この静電劣化が起こる帶電量は、セルプロセスで火花放電を起こす値のほぼ $1/20$ ( $-6.1 \times 10^{-12} \text{ C/cm}^2$ )となる。さらに、画像ちらつきを起こすシグナル異常は、アレイ基板とフィルタ透明電極基板間電位が5V程度の少ない帶電量( $1.0 \times 10^{-12} \text{ C/cm}^2$ )で発生する。以上の種々の静電破壊のうち、70V程度の帶電電位は従来から使用されている除電用イオナイザの最適設計で対処可能だが、シグナル異常のような微小帶電量の除去には十分でない。そのため、液晶セルに保護回路を設けるなどの回路上からの対策が必要である。

## 6. まとめ

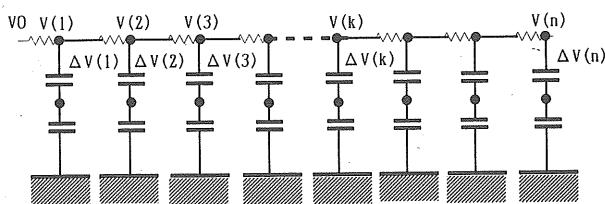
液晶プロセス上で生ずる帶電量を測定し、アレイ基板や

液晶セルの帶電量と静電破壊との関係を明らかにした。液晶プロセス上では種々の摩擦帶電が生ずるが、ここでは見落とされがちな吸引ステージやクリーンルーム内の気流による気流帶電に着目し、帶電量と静電破壊との関係を解析した。この気流帶電ではプラス極性に帶電しやすい液晶ガラス基板が空気との摩擦でマイナス極性に帶電し、帶電した液晶ガラス基板上の電荷は長時間ガラス基板上に残留して次の工程に影響を与える。この吸引ステージやクリーンルーム内の気流帶電では静電破壊を起こす十分な帶電量を与える。その結果、アレイプロセスで使用する吸引ステージでは、帶電電荷による電界でTFT素子の破壊が起こり、かつ高電圧で生ずる火花放電で断線などが起こる。一方、セルプロセスの検査工程では液晶セルの帶電でTFT素子を構成するアモルファスSi層に電荷注入が起こり静電劣化を生ずる。さらに、液晶間の電極保護膜上の電荷でシグナル異常と呼ばれる画像ちらつきが生ずる。これらの静電破壊を生ずる臨界帶電量の計算から、静電破壊を防止する帶電量が明らかになった。

## 参考文献

- 1) 高分子学会：静電気ハンドブック，p. 72，オーム社，東京（1968）
- 2) 高分子学会：静電気ハンドブック，p. 133，オーム社，東京（1968）
- 3) 高分子学会：静電気ハンドブック，p. 138，オーム社，東京（1968）
- 4) R.M. Schaffert (井上英一訳) : *Electrophotography*, p. 289, 共立出版 (1973)
- 5) 阪田総一郎, 岡田孝夫 : 静電気学会誌, 15 (1991) 134
- 6) M. Sugarman : U.S. Patent, No. 2914403 (1959)

## 付録 1 電荷注入による各素子の電位低下



S線の端から順次各素子に加わる電圧  $V(i)$ ,

$$V(1) = N_s \times Q_o / \{N_s \times (C_{sg} + C_e)\}$$

注入電荷量

$$V(2) = \{N_s \times Q_o - V(1) \times C_{sg}\} / \{N_s \times (C_{sg} + C_e)\}$$

$$V(3) = \{N_s \times Q_o - (V(1) + V(2)) \times C_{sg}\} / \{N_s \times (C_{sg} + C_e)\}$$

$$V(k) = \{N_s \times Q_o - \sum_{i=1}^{k-1} V(i) \times C_{sg}\} / \{N_s \times (C_{sg} + C_e)\}$$

$$V(n) = \{N_s \times Q_o - \sum_{i=1}^{n-1} V(i) \times C_{sg}\} / \{N_s \times (C_{sg} + C_e)\}$$

最終検査工程の検査プローブがS線に接触すると、各素子に時定数  $\tau_o = (R_s + R_o) \times C_e \times C_{sg} / (C_e + C_{sg})$  で蓄積電荷による電圧が加わる。このS線とクロスしたG線上に存在する電荷で生じた電位が順次TFT素子に加わり、TFT素子の電荷注入で帶電電荷が消費され順次電位が減少して電荷注入が停止する。ここでは計算を簡略化するため、時定数が十分短いものと仮定した。

### 電荷注入による電圧シフト

$$\Delta V(1) = 2 \times (V(1)/100)^{6.5}$$

$$\Delta V(2) = 2 \times (V(2)/100)^{6.5}$$

$$\Delta V(3) = 2 \times (V(3)/100)^{6.5}$$

$$\Delta V(k) = 2 \times (V(k-1)/100)^{6.5}$$

$$\Delta V(n) = 2 \times (V(n-1)/100)^{6.5}$$