

論 文

## 静電気の可視化測定とその応用

藤 原 修\*

(1991年9月2日受理)

### Visualizing Measurement of Static Electricity and Its Application

Osamu FUJIWARA\*

(Received September 2, 1991)

An electrostatic discharge (ESD) causes serious damages to digital electronic equipments, the occurrence frequencies of which has significantly been increasing in accordance with widespread use of high molecular materials and popularization of air conditioning systems. For finding a drastic measure against the ESD, it is indispensable to obtain the charge aspect of a static electricity and then to reduce the probability that the ESD happens. In achieving this, multi-dimensional measurements of charge distributions should be conducted. The author thinks that an effectively preventive ESD measure will be taken in advance, if the static electricity could be recognized as a visual information and it would also be pursued in real-time. From the standpoint, this paper describes visualizing measurement and its application. The measurement principle is based on visualizing the electric potentials induced on the small electrodes in a lattice arrangement located over a charged sheet in parallel. The measurement algorithm was also presented for eliminating the visualization artifacts caused by the remaining offsets of amplifiers and the potential noises induced from a commercial power source. For demonstrating usefulness of the visualizing measurement described here, the prototype equipment were constructed and application measurements to some kinds of charged-sheets were conducted.

### 1. まえがき

半導体デバイス技術の著しい進歩は IC の高集積化と低消費電力化を押し進め、IC を多用するディジタル情報電子機器の高速化および高機能化をもたらした。半面、情報機器の電磁干渉 (Electromagnetic Interference : EMI) に対する耐性 (イミュニティ) は逆に劣化するばかりで、この結果、オフィスやコンピュータルームなどにおいては EMI による機器の誤動作が急増の傾向であるという。特に、静電気放電 (Electrostatic Discharge : ESD) の EMI に対する情報機器の誤動作は原因を特定できない場合が多く、しかも高分子材料の使用拡大や空調設備の普及などがこの種の障害発生に拍車をかけている<sup>1-4)</sup>。近年、ESD は高度エレクトロニクス化を阻む問

題の一つとして関連研究者の間で認識され始め、これに関する研究が米国を中心として盛んに行われるようになった<sup>5,6)</sup>。しかしながら、ESD シミュレータや耐性試験法などの機器システムの保護を目的とした対策先行型の研究がほとんどで、ESD を引き起こす肝心の静電気にについては帶電分布やその測定法などについての基礎的研究は極めて少ない。ESD の抜本的対策は静電気の帶電を制御し、ESD の発生確率<sup>7)</sup>を低減することにあるが、それには帶電分布を多次元的に測定しておくことが必要である。例えば、静電気を画像情報として視覚的に実時間で認識・追跡できれば帶電様相が多次元的に把握され、ひいては ESD の有用な予防策に繋がるであろう。このような着想から、静電気の帶電分布を実時間で可視化測定し得る方法を提案し、その原理的方式と実現可能性については既に報告した<sup>8-13)</sup>。

本論文では、筆者の提案になる静電気可視化測定の基本原理とそれに基づく構成例並びに擬像低減法を述べ、ついで同測定法による実例と応用例をもって可視化測定の有用性を示す。

キーワード：静電気放電、電磁干渉、帯電分布、可視化測定

\* 名古屋工業大学工学部電気情報工学科 (466 名古屋市昭和区御器所町)

Department of Electrical and Computer Engineering, Faculty of Engineering, Nagoya Institute of Technology Gokiso-cho, Showa-ku, Nagoya, 466 Japan

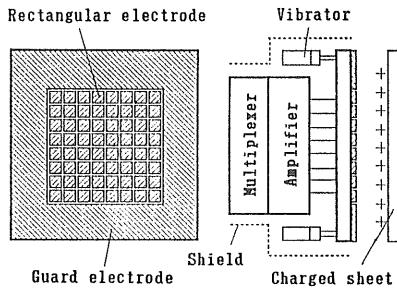


図 1 静電気の可視化測定を目的とした電極構造と構成例  
Fig. 1 Electrode structure and circuit construction for the visualization measurement of a static electricity.

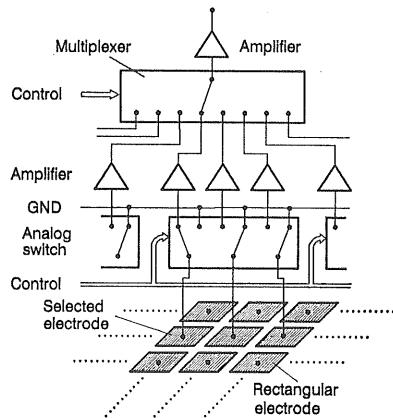


図 2 格子状配列の矩形小電極に誘導された電位測定回路  
Fig. 2 Measurement circuit for the electric potential induced on the small rectangular electrode in a lattice arrangement.

## 2. 静電気の可視化測定

### 2.1 基本原理と構成例

可視化測定の対象はプリント基板や床材などにおける2次元状の帶電分布とする。筆者の提案する静電気の可視化測定の基本原理<sup>9,10)</sup>はつぎのとおりである。多数の同一寸法の微小電極を同一平面上で格子状に密集配列した測定電極を帶電体に近接して平行配置し、これを適当な周波数で振動させる。そのとき、各電極には静電気による交流電圧が誘導されるので、これを順次測定する。装置グランドを基準とした電極の誘導電位はその直下の帶電量に大略比例するので、すべての誘導電位を短時間で測定・表示できれば電極下にある帶電体の静電気分布を実時間で可視化できる。このことを目的とした電極構造と回路構成の一例を図1に示す。平面基板上に矩形小電極を格子状に取り付け、これを可動電極とする。測定はつぎのように行う。電極全体をバイブレータで振動さ

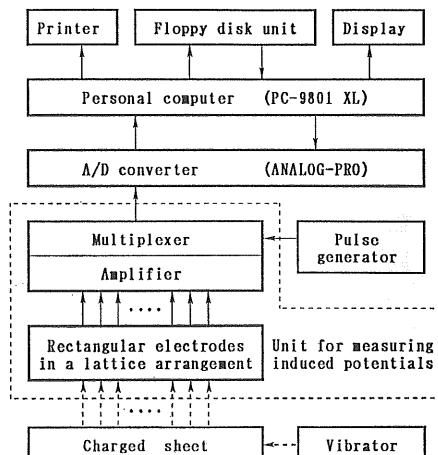


図 3 誘導電位分布測定装置のブロック図  
Fig. 3 Block diagram of the equipment for measuring an induced potential distribution.

せると、帶電体の静電界によって交流電圧が各電極に誘導されるので、これを増幅器で増幅した後、マルチプレクサで順次選択する（非選択の電極はガード電極と同電位にする）。こうして得られる電位データを計算機に取り込み、そこで帶電体の静電気分布を計算・表示する。図2は図1の構成例に基づいて製作した誘導電位分布の測定回路を示す。同回路は各電極を選択するためのアナログスイッチ、誘導電位を増幅・選択する増幅器とマルチプレクサ、これらを制御するカウンタとデコーダとかなる。図では選択された矩形小電極はアナログスイッチを通して出力に接続されるが、非選択の小電極はすべて接地される様子を示している。誘導電位の測定電極としてはプリント基板上に約1cm四方の正方形小電極を互いに0.8mmの隙間を隔てて8行8列（合計64個）の格子状に並べたものを用いている。図3は筆者らの試作になる測定装置のブロック図で、これの全景と誘導電位の測定ユニットを図4(a)(b)にそれぞれ示す。データ処理はつぎのように行っている。各電極の誘導電位を増幅・A/D変換してパーソナルコンピュータに取り込み、直流分を除去した交流波形の実効値を計算してフロッピーディスクへ記録する。測定終了後は誘導電位分布の等電位線を計算し、結果をディスプレイまたはプリンタへ出力する。なお、図4の装置は静電気分布の実時間可視化測定の方式提案を目的として製出したもので、可視化像は実時間でなくバッチ処理で得られるようになっている。また、測定電極にはバイブルーターを取り付けなかったので、測定時は帶電体のほうをカム付きモータで上下振動させている。

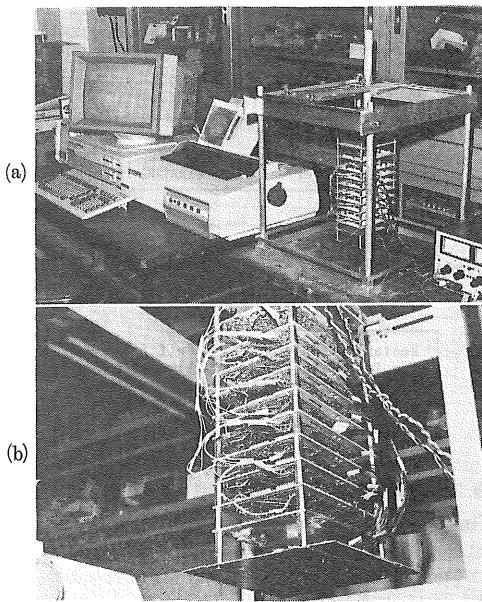


図 4 試作装置の全景(a)と誘導電位測定ユニット(b)

Fig. 4 (a) Appearance of the prototype equipment and (b) measuring unit for an induced potential.

## 2.2 測定アルゴリズム

離散的な誘導電位データから可視化像としての等電位線分布を求める具体的方法は文献 10) を参照されたい。本節では可視化像の擬像低減のための測定アルゴリズム<sup>11)</sup>について述べる。

前節の原理に基づく静電気の可視化像は帶電分布ではなく誘導電位分布に相当するので、①増幅器の残留オフセットや②商用電源による誘導ノイズの影響を受けやすく、これらによって擬像が生ずる。ここでは①②の影響を低減し得る誘導電位の測定アルゴリズムについて述べる。なお、静電気分布の擬像は静電気量に対する誘導電位の非線形性、誘導電位分布の離散化誤差、測定電位の量子化誤差などにも起因するが、これらはいずれも原理的因素であるのでここでは触れない。

電極枚数を  $N \times N$  個(本文では  $N=8$ )、電極振動は正弦的であり、その周波数を  $f_v$  [Hz] とする。誘導電位は  $i$  行  $j$  列 ( $i, j=1, 2, \dots, N$ ) の電極から逐次測定し、これを全電極について  $M$  回繰り返すものとする。測定のサンプリング周期を  $T_s$  [s] とし、 $i$  行  $j$  列の電極の  $k$  ( $k=1, 2, \dots, M$ ) 回目の測定データを  $D_{ij}(k)$  [V] とすれば、

$$D_{ij}(k) = V_{ij}^{(v)} \cdot \sin\{2\pi f_v \cdot t_{ij}(k)\} + V_{ij}^{(o)} + V_{ij}^{(c)} \cdot \sin\{2\pi f_c \cdot t_{ij}(k) + \theta\} \quad (1)$$

$$t_{ij}(k) = t_0 + \{(k-1)N^2 + (i-1)N + (j-1)\} \cdot T_s$$

と表わされる。ここに、 $t_0$  [s] は測定開始時刻、 $\theta$  [rd] は位相差、 $f_c (=60 \text{ Hz} \gg f_v)$  [Hz] は商用電源の周波数である。式(1)の第一項は静電気による誘導電位( $V_{ij}^{(v)}$  は振幅で電極直下の静電気量にほぼ比例)であり、第二項の  $V_{ij}^{(o)}$  は  $i$  行  $j$  列の電極に接続された増幅器の残留オフセット、第三項は商用電源による誘導電位( $V_{ij}^{(c)}$  は振幅)である。本来、 $V_{ij}^{(v)}$  を測定すべきであるが、式(1)で示す  $D_{ij}(k)$  が測定量となるので、可視化に際しては上述の①②に起因した擬像が生ずる。これらを除去するには、

$$\begin{aligned} T_s &= l/N^2 f_c \quad (l=1, 2, 3, \dots) \\ f_v &= (2m+1)/2N^2 T_s \quad (m=0, 1, 2, \dots) \end{aligned} \quad (2)$$

と選び、 $S_{ij}(k) = D_{ij}(k+1) - D_{ij}(k)$  を計算する。そのとき、

$$S_{ij}(k) = \pm 2V_{ij}^{(v)} \cdot \cos\{2\pi f_v \cdot \tau_{ij}(k)\} \quad (3)$$

$$\tau_{ij}(k) = t_0 + \{(k-0.5)N^2 - (i-1)N + (j-1)\} \cdot T_s$$

となるので、式(3)から  $S_{ij}(k)$  の最大値を  $k=1, 2, \dots, (M-1)$  について探索すれば増幅器の残留オフセットと商用電源からの誘導の影響を受けずに  $V_{ij}^{(v)}$  を得ることができる。なお、誘導電位データの全測定時間  $T$  [s] は  $T=N^2 M T_s = Ml/f_c$  となるので、測定の高速化に際しては  $Ml$  をできるだけ小さく選ぶ必要がある。

## 2.3 測定例

直流課電とテープ剝離による 2 種類の帶電分布の可視化測定例<sup>12)</sup>を示す。なお、本装置のサンプリング周期  $T_s$  は電極切替による過渡現象が生ずるのであまり短くはできない。ここでは、式(2)で  $l=6$  と選び、 $T_s=6/(8^2 \times 60)=1.56 \text{ ms}$ とした。したがって、振動周波数  $f_v$  は、式(2)で  $m=0$  と置き、 $f_v=1/(2 \times 8^2 \times 1.56 \times 10^{-3})=5 \text{ Hz}$ とした。全電極の測定回数  $M$  は式(3)から  $S_{ij}(k)$  の最大値を探索できるように  $M=50$  とした。結局、誘導電位データの測定に必要な時間  $T$  は  $T=(50 \times 6)/60=5 \text{ s}$  となる。

### 2.3.1 課電帶電

プリント基板上で半径 2.0 cm の円形電極を作成し、これに 2 kV の直流電圧を課電して作った既知の帶電分布を可視化測定の対象とする。この電極と測定法をそれぞれ図 5(a)(b)に示す。測定電極は図のように帶電体と平行設置し、帶電体のほうを振動させた。可視化測定の結果を図 6 に示す。図では誘導電位を最大値で規格化した数値を濃淡に対応させ電位分布を表している。図(a)は 64 個の誘導電位分布の鳥瞰図を表し、これの等電位線分布を図(b)に示す。ただし、図(b)は図(a)を  $32 \times 32=1024$  個にスプライン補間し、これらから文献 10) の方法で帶電分布の可視化像を得たものである。図の左側の分布図は式(1)による可視化像であり、右側は式(3)によ

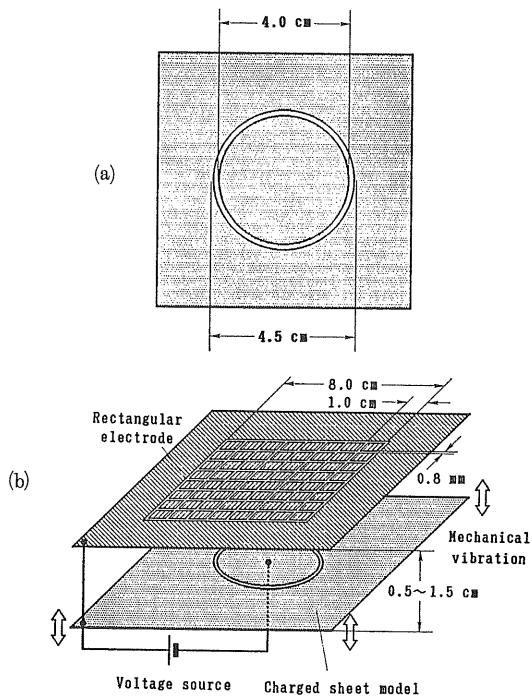


図 5 既知の帯電分布を作るための円形電極の形状・寸法(a)と直流課電の円形電極による誘導電位分布の測定配置(b)

Fig. 5 (a) Shape and dimension of the circular electrode for making the known charged-distribution and (b) arrangement for measuring the electric potential distribution induced from the DC biased circular electrode.

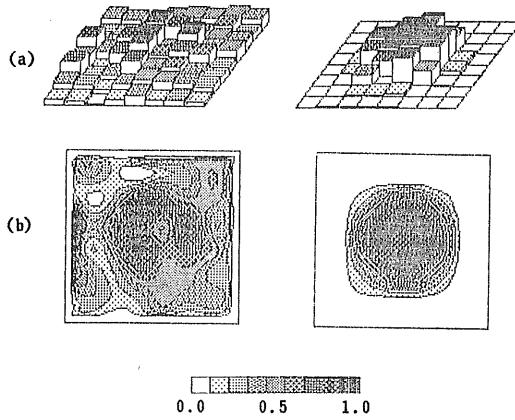


図 6 直流課電の円形電極による誘導電位分布の可視化例  
Fig. 6 Visualization measurements of the potential distributions induced from the DC biased circular electrode.

るそれである。図から測定アルゴリズムが極めて有効であり、設定した円形帶電が本測定装置でうまく可視化さ

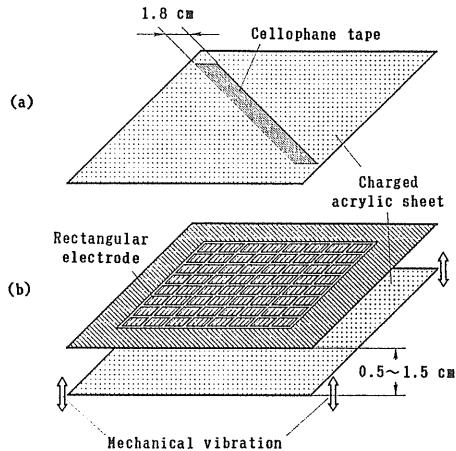


図 7 テープの剥離帶電のためのアクリル板(a)と誘導電位分布の測定配置(b)

Fig. 7 (a) Acrylic sheet for the peeling charge of a cellophane tape and (b) arrangement for measuring the electric potential distribution induced from the charged acrylic sheet.

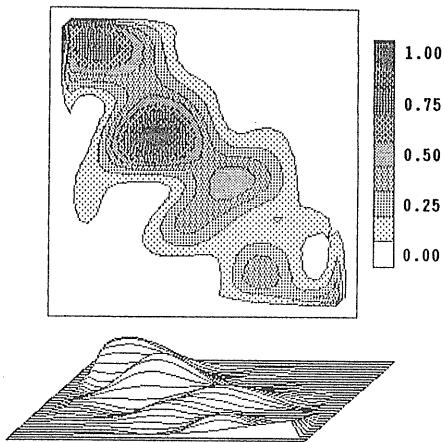


図 8 テープ剥離の帶電アクリル板による誘導電位分布の可視化例

Fig. 8 Visualization measurement of the electric potential distribution induced from the acrylic sheet charged by the peeling of the cellophane tape.

れていることがわかる。

### 2.3.2 剥離帶電

アクリル板に予め張り付けたセロハンテープ(幅1.8 cm)を剥すことで生ずる帶電分布を可視化測定の対象とする。この帶電法と測定法をそれぞれ図7(a)(b)に示す。測定結果は図8のようになる。上図は図6(b)と同じ表示法を用いた誘導電位の等電位線分布図であり、下図はこれの鳥瞰図である。図をみると、テープに沿って一様には帶電されずに局所的な帶電が幾つか生じていることが

一目でわかる。これは、テープが一樣に剝されたのではなく、幾つかの段階を経て剝されたことによるものと推察される。

### 3. 応用測定

プリント基板や床材上などの2次元的に分布した帶電電荷がどのように漏洩していくかをグランド面との位置関係において把握することはESD防止の観点から極めて重要であり、また興味深い。本章では、可視化測定の応用例として上述のモデルとなるアクリル板の帶電分布<sup>13)</sup>を取り上げ、この経時変化を測定・追跡することで従来測定では到底観測できなかった帶電様相を明らかにする。

#### 3.1 帯電モデルと測定法

図9は帶電モデルと測定法を示す。図のように、アクリル材の特定部位をイオンガンで帶電された後、これをグランド面に固定・振動させる。つぎに、同部位による誘導電位を可視化測定し、これの経時変化を追跡する。このことをグランド面からの距離 $d$ を変えて繰り返し、それぞれの電位減衰特性を求める。アクリル材の寸法は厚さ1mmで大きさは175mm×175mmである。アクリル材とグランド面との間隔 $d$ [mm]は2.3, 7.3, 15.0, 30.0mmの4種類とした。誘導電位分布の測定は10分ごとに行い、合計2時間における誘導電位分布の時間推移を調べた。なお、測定装置の電極は測定時だけア

クリル板上に配置することで電極の電位減衰特性に及ぼす影響をできるだけ除去した。

#### 3.2 結果と考察

図10、図11は可視化測定の結果を示す。各上図の等電位線分布は帶電直後、同下図のそれは2時間経過した

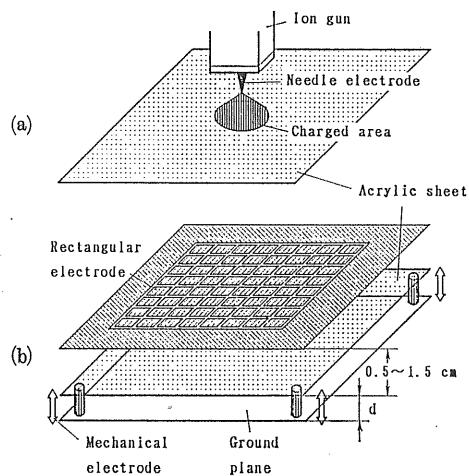


図9 イオンガンによるアクリル板の局部帶電(a)と誘導電位分布の測定配置(b)

Fig. 9 (a) Localized charge of the acrylic sheet using an ion gun and (b) arrangement for measuring the induced potential distribution.

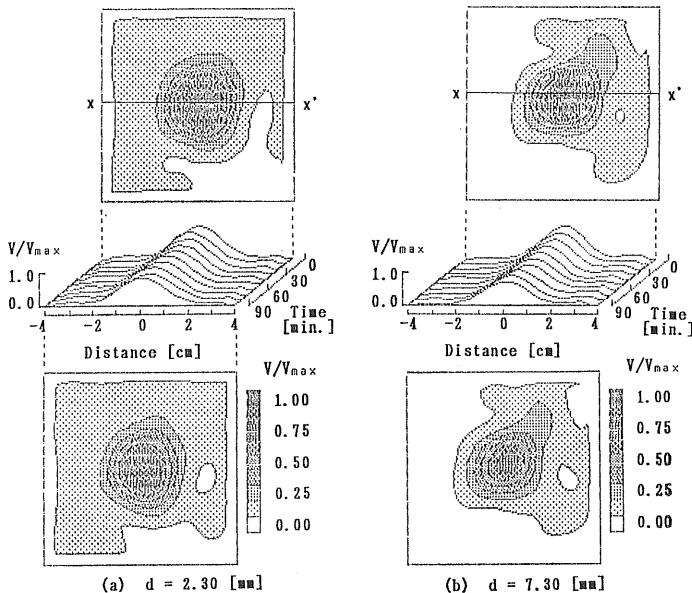


図10 帯電アクリル板による誘導電位分布とその時間推移(I)

Fig. 10 Electric potential distributions induced from the charged acrylic sheet and its time transitions (I).

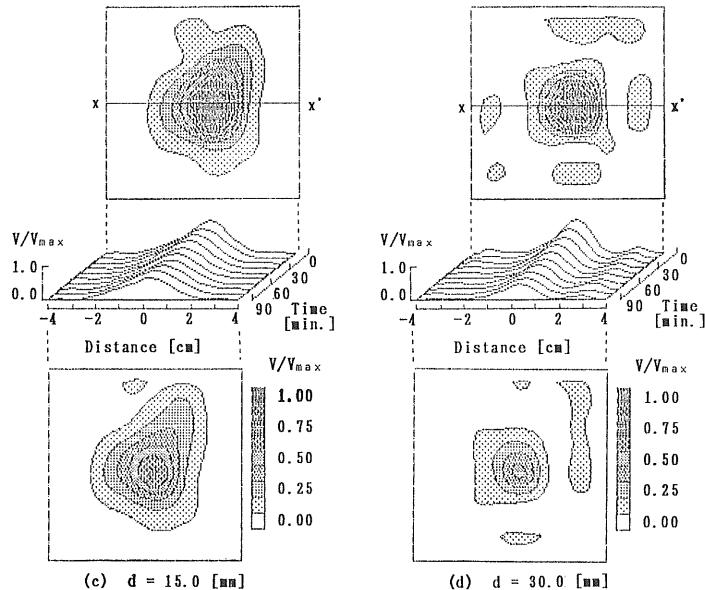


図 11 帯電アクリル板による誘導電位分布とその時間推移 (II)

Fig. 11 Electric potential distributions induced from the charged acrylic sheet and its time transitions (II).

ものである。等電位線分布の  $x-x'$  における断面形状を中程に示す。なお、分布図は 2.3 節と同じく  $8 \times 8 = 64$  個の電位データを  $32 \times 32 = 1024$  個にスブライン補間し、これらから等電位線分布を表示している。ただし、分布図の濃淡並びに断面形状の縦軸は帶電直後に誘導された最大電位すべて規格化して表している。図から、イオンガンによる等電位線分布はほぼ円形状であること、アクリル板とグランド面との距離  $d$  が小さいほど電位分布の減衰は緩やかであること、などがわかる。図 12 はアクリル板の初期帶電による誘導電位のピーク地点での電位減衰特性を  $d$  をパラメータとして示している。ただし、縦軸は最大電位で規格化した誘導電位、横軸は時間である。図から、誘導電位は  $d$  が大きいほど速やかに減衰してはいるが、その程度は必ずしも  $d$  だけに依存していないことがわかる。

上述の測定結果を理論的に説明するために以下の検討を行った。アクリル材の表面抵抗、アクリル材とグランド面との間の単位面積あたりの静電容量をそれぞれ  $R_s$  [ $\Omega$ ]、 $C_s$  [ $F/m^2$ ] とし、初期帶電の誘導電位分布を  $V_0(x, y)$  [V] とすれば、時刻  $t$  [s] における帶電電位  $V(x, y, t)$  は、文献 13) から

$$V(x, y, t) = \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \frac{R_s C_s}{4\pi t} \exp \left[ -\frac{R_s C_s}{4t} \{(x-\xi)^2 + (y-\eta)^2\} \right] \times V_0(\xi, \eta) d\xi d\eta \quad (4)$$

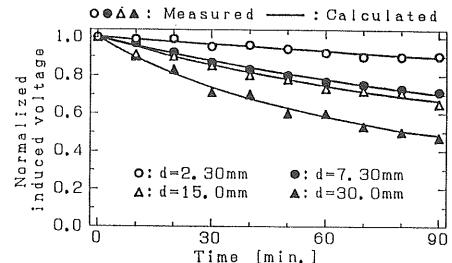


図 12 誘導電位のピーク減衰特性

Fig. 12 Peak attenuation characteristics of the induced potentials.

となる。いま、初期帶電の誘導電位分布がピーク  $V_p$  [V] で断面形状が

$$V_0(x, y) = V_p \cdot \exp \left\{ -(\ln 2) \frac{x^2 + y^2}{w^2} \right\} \quad (5)$$

と表わせるものとすれば、原点での帶電電位は式 (4) (5) から

$$V(0, 0, t) = \frac{1}{t/\tau_g + 1} V_0 \quad (6)$$

$$\tau_g = \frac{R_s C_s w^2}{4 \cdot \ln 2}$$

となる。ここで、 $w$  は断面形状の半値幅である。アクリル板の  $C_s$  は比誘電率を 4 として配置・寸法から計算し、 $w$  は帶電直後の電位分布の断面形状に式 (5) をあては

表 1 電位減衰特性のパラメータとその数値

Table 1 Parameters for deciding the potential attenuation characteristics and their numerical values.

$d$ [mm]	$C_s$ [F/m <sup>2</sup> ]	$w$ [mm]	$P_s$ [ $\Omega$ ]	Correlation coefficient
2.3	$5.62 \times 10^{-9}$	11.71	$1.66 \times 10^{17}$	0.947
7.3	$3.11 \times 10^{-9}$	9.90	$1.06 \times 10^{17}$	0.996
15.0	$1.86 \times 10^{-9}$	12.30	$1.04 \times 10^{17}$	0.991
30.0	$1.03 \times 10^{-9}$	8.42	$1.89 \times 10^{17}$	0.996

めて求めた。 $R_s$  は図 12 の電位減衰特性に式(6)をあてはめて計算する。以上の結果を表 1 にまとめ、式(6)の計算値を図 12 の実線で示す。図から、式(6)は実測の電位減衰特性をほぼ表わしていることがわかる。同特性が  $d$  に並行しない理由はイオンガンによる初期帶電の誘導電位分布(等価半幅  $w$ )が帶電ごとに異なることによる。結局、アクリル板の表面抵抗とグランード面との浮遊容量とからなる時定数が小さいほど帶電電荷による誘導電位は速やかに減衰するが、その程度は帶電サイズにも大きく依存し、このサイズが小さいほど電位減衰も激しいことになる。この結果は可視化測定によってもたらされた新しい知見といってよい。

#### 4. む す び

高速・低電力の IC を多用する情報電子機器ほど ESD に対するイミュニティは小さい。この結果、機器システムの誤動作が不測に頻発し、システム全体の性能を劣化させることになる。ESD は歩行人体や椅子の移動などの多種多様な帶電現象に起因して生ずるので、発生の予測は極めてむずかしい。結局、ESD を引き起こす帶電状況を迅速・的確に把握し、電荷蓄積を解消することが最も効果的な予防策となろう。

筆者の提案になる静電気の可視化測定はこれに応える新しい測定法のひとつであり、本論文では測定の実例と帶電分布の可視化追跡例をもって同測定法の有用性を示した。

今後の課題としては、リアルタイムでの可視化測定装置を開発すること、離散的な誘導電位データを用いた静電気の高速・高分解能可視化推定、帶電量の絶対測定、などがあげられる。

#### 参 考 文 献

- 1) W.D. Greason and G.S.P. Casle : IEEE Trans., IA-20 (1984) 247
- 2) 本田昌実：静電気学会誌藤原修, 9 (1985) 17
- 3) W.D. Greason : IEEE Trans., IA-23 (1987) 205
- 4) W. Boxleitner : IEEE Spectrum, 26 (1989) 36
- 5) G.O. Head (Chairman) : Electromagnetic Compatibility, Proceedings of IEEE International Symposium, Atlanta, p. 354 (1987)
- 6) D. Smith (Moderator) : Electric Over Stress and Electrostatic Discharge, Proceedings of EOS/ESD Symposium (1987)
- 7) L.D. Edmonds : IEEE Trans., EMC-30 (1989) 473
- 8) T. Kondoh, O. Fujiwara, K. Katoh and T. Azakami : Trans. IEICE, E70 (1987) 358
- 9) T. Kondoh, O. Fujiwara, K. Katoh and T. Azakami : Trans. IEICE, E71 (1988) 367
- 10) 藤原修, 近藤丈詞, 加藤一夫, 阿座上孝:信学論, J72-CII (1989) 166
- 11) 近藤丈詞, 藤原修, 加藤一夫, 阿座上孝:信学論, J72-CI (1989) 117
- 12) O. Fujiwara, T. Kondoh and T. Azakami: Electromagnetic Compatibility, Proceedings of International Symposium, Nagoya, p. 94 (1989)
- 13) T. Kondoh, O. Fujiwara, K. Katoh and T. Azakami : Trans. IEICE, E72 (1989) 336