

小論文

高電界における半導体デバイスの信頼性

樋口弘志*, 前田宗雄*, 山内健次*, 高橋伸夫*

(1990年5月8日受理)

Reliability of Semiconductor Devices in High Electric Field

H. HIGUCHI,* M. MAEDA,* K. YAMAUCHI* and N. TAKAHASHI*

(Received May 8, 1990)

This paper describes the reliability and an evaluation method of semiconductor devices on printed board level of electronic systems in high electric field. An evaluation method of the reliability were theoretically developed and experimentally confirmed by computer simulation. The result show that destructively electric field of semiconductor devices in electronic systems are in excess of the order of 10^3 V/mm which will damage bipolar Schottky type logic devices.

1. まえがき

近年、半導体デバイスの応用領域の拡大、特に高電界環境下での応用例が増加しつつある。例えば電子複写機、ファクシミリ、CRT画像処理システム、X線発生装置、イオン注入装置などは代表例であり^{1,2)}、高電界での応用では高信頼性が要求される。最近の微細加工による高集積化は従来よりも高電界の影響を受けやすく、例えばホット・キャリア(Hot carrier)やラッチ・アップ(Latch up)などの発生を容易にし、信頼性の低下の原因となっている³⁾。しかしながら半導体デバイスがプリント基板等に実装された状態での高電界による信頼性の評価の報告例は少ない。本研究は、半導体デバイスの高電界の環境下における信頼性評価方法を提案し、それによって各製造方法で製造されたデバイスについて評価実験を行い、それをコンピュータで解析を行った。

2. 高電界における評価モデルの理論

本評価モデルは半導体デバイスが基板等に実装されている状態の評価方法である⁴⁾。評価回路は図1(a)に示すように試料の半導体デバイスの上下にある平行電極板で電界を加え、Maxwellの電気磁気学の“重ねの理”を適用することにより理論的に与えられる⁵⁾。上下平行電極板間の電圧を V_1 、それによって半導体デバイスのパッケージに帶電する電圧を V_2 とすると電荷 Q_1 は

$$Q_1 = (c_{11} + c_{21})V_1 + (c_{21} + c_{22})V_2$$

キーワード：微細加工、高電界、重ねの理、オキサイド・ラップチャ、ホット・スポット

* 姫路工業大学 (671-22 姫路市書写 2167)
Himeji Institute of Technology, 2167, Shosha,
Himeji, 671-22 Japan

$$= C_1 V_1 + C_2 V_2 \quad (1)$$

となる。ここで、 $C_1 = c_{11} + c_{12}$ ($c_{12} = c_{21}$)、 $C_2 = c_{12} + c_{22}$ とおくと、 C_1 は浮遊容量で平行電極板の自己容量 (c_{11}) と相互容量 (c_{12}) から、 C_2 は半導体デバイスのパッケージに帶電した電荷から生ずる容量で平行電極板の相互容量 (c_{12}) とパッケージの自己容量 (c_{22}) から成る。したがって電気的等価回路は図1(b)で表される。これによると高電界による半導体デバイスへの影響は平行電極板間の浮遊容量に蓄積された電荷とパッケージ等に帶電した電荷のチップへの放電電流と考えてよい。この放電電流は低インピーダンス線路へ $i_2(t)$ として流れれる⁶⁾。図1(b)の放電回路において半導体デバイスに流れる電流 $i_2(t)$ は等価パラメータを $Z_s = 0$ と仮定して Kirchhoff の法則を適用させると次式が成立する。

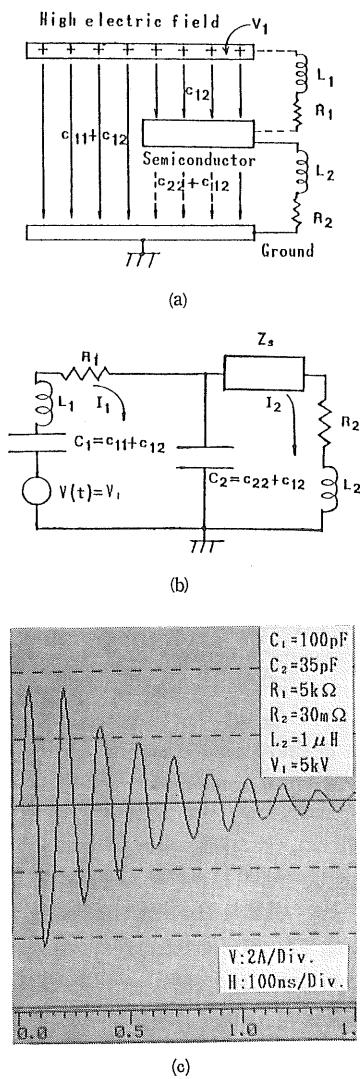
$$\begin{aligned} & (1/C_1) \int i_1 dt + R_1 i_1 + L_1 (di_1/dt) + (1/C_2) \int i_1 dt \\ & - (1/C_2) \int i_2 dt = V_1 \end{aligned} \quad (2a)$$

$$\begin{aligned} & R_2 i_2 + L_2 (di_2/dt) + (1/C_2) \int i_2 dt - (1/C_2) \\ & \times \int i_1 dt = 0 \end{aligned} \quad (2b)$$

(2a)と(2b)をラプラス変換を用いて $i_2(t)$ について解くと次式で与えられる。

$$I_2(s) = (V_1 / C_2 R_1 L_2) \cdot \{1 / (s^3 + a_2 s^2 + a_1 s + a_0)\} \quad (3)$$

$$\begin{aligned} & \text{ここで, } a_2 = (R_1 R_2 C_1 C_2 + L_2 C_1 + L_2 C_2) / C_1 C_2 R_1 L_2 \\ & a_1 = (R_1 C_1 + R_2 C_1 + R_2 C_2) / C_1 C_2 R_1 L_2 \\ & a_0 = 1 / C_1 C_2 R_1 L_2 \end{aligned}$$



- 図 1 (a) 高電界における評価モデル
(b) 電気的等価回路
(c) パラメータが $\{C_1=100 \text{ pF}, C_2=35 \text{ pF}, R_1=5 \text{ k}\Omega, R_2=30 \text{ m}\Omega, L_2=1 \mu\text{H}, V_1=5 \text{ kV}\}$ の時の $i_2(t)$ の放電電流の波形

Fig. 1 Evaluation in high electric field.
(a) Evaluation model.
(b) Electrically equivalent circuit.
(c) An example of discharge current waveform $i_2(t)$ for parameters $\{C_1=100 \text{ pF}, C_2=35 \text{ pF}, R_1=5 \text{ k}\Omega, R_2=30 \text{ m}\Omega, L_2=1 \mu\text{H}, V_1=5 \text{ kV}\}$.

s : ラプラス演算子

図 1 (c)は(3)式をラプラス逆変換し、 $i_2(t)$ をパラメータ $\{C_1=100 \text{ pF}, C_2=35 \text{ pF}, R_1=5 \text{ k}\Omega, R_2=30 \text{ m}\Omega, L_2=1 \mu\text{H}, V_1=5 \text{ kV}\}$ についてコンピュータでプロットしたものである。

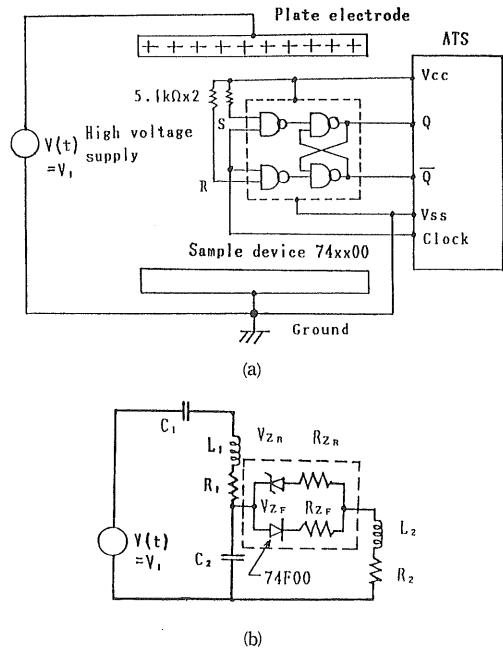


図 2 (a) 高電解における信頼性評価試験回路
(b) 電気的等価回路

Fig. 2 Reliability in high electric field.
(a) Evaluation circuit.
(b) Electrically equivalent circuit.

3. 実験方法

実験の試料には市販標準論理系デバイスであるバイポーラ系と MOS 系、パッケージの種類としてはエポキシ樹脂封止製パッケージとセラミック封止製パッケージを用いた。表 1 はその試料の特徴を示す。試料は 74xx00 タイプの論理ゲートで、これによりクロックト R・S フリップ・フロップ (Clocked R・S flip flop) を構成し、50~3,000 V/mm の高電界環境下で 168 時間動作試験を実施した。そのときの静特性は ATS (Automatic Test System: HP 製) で測定した。図 2 (a)はその評価試験回路、図 2 (b)は図 1 (b)の Z_s に試料 74F00 のパラメータを適用した電気的等価回路、表 2 はそのパラメータの値を表す。この等価回路は複雑な分布定数回路で表されるためコンピュータ・シミュレーションによる解析を行った。

4. 実験結果と考察

図 3 は図 2 (a)の評価回路に $V(t)=V_1=1 \sim 60 \text{ kV}$ (電界: 50~3,000 V/mm) を印加し、これを ATS により測定した結果で、高電界と故障率の関係を示す。これによるとエポキシ樹脂封止製パッケージとセラミック封止

表1 実験用の論理系半導体デバイス
Table 1 Technology of sample device.

Sample device	Design rule (μm)	Device technology	Process technology
74S00	5~8	Bipolar Schottky TTL	P ⁺ Isolation
74F00	2~5	Bipolar Schottky TTL	Oxide Isolation
74C00	7~10	C-MOS	Metal Gate
74HC00	2~4	HC-MOS	Silicon Gate

表2 高電界における信頼性評価試験回路の電気的パラメータ

Table 2 Electrical parameter for evaluation circuit in high electric field.

Structure of parameter	Symbol	Value	Parameter
Parameter of 74F00	V_{ZR}	: 25 V	Breakdown voltage (reverse region)
	R_{ZR}	: 0.6 Ω	Saturation resistance (reverse region)
	V_{ZF}	: 0.6 V	Breakdown voltage (forward region)
	R_{ZF}	: 1.2 Ω	Saturation resistance (forward region)
Parameter of parasite	C_1	: 150 pF	Parasitic capacitance between electrode and ground.
	C_2	: 25 pF	Parasitic capacitance between package and ground.
	L_1	: 1 μH	Parasitic inductance between electrode and package.
	R_1	: 5.1 k Ω	Parasitic resistance between electrode and ground.
	L_2	: 1.2 μH	Inductance of 74F00 ground wire.
	R_2	: 20 m Ω	Resistance of 74F00 ground wire.

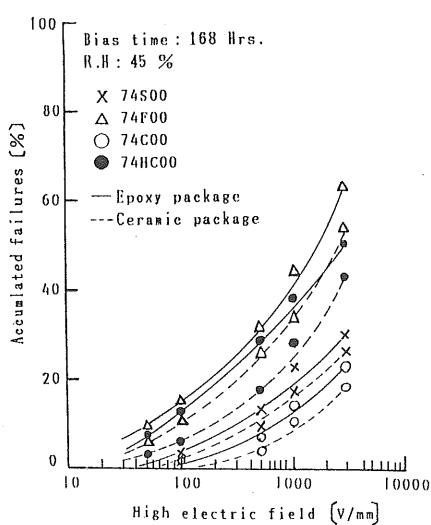


図3 高電界における論理系デバイス(エポキシ樹脂製とセラミック・パッケージ製)の168時間後の信頼性評価試験結果

Fig. 3 Reliability evaluation results for logic semiconductor devices (epoxy molding resin and ceramic package device) after 168 hr.

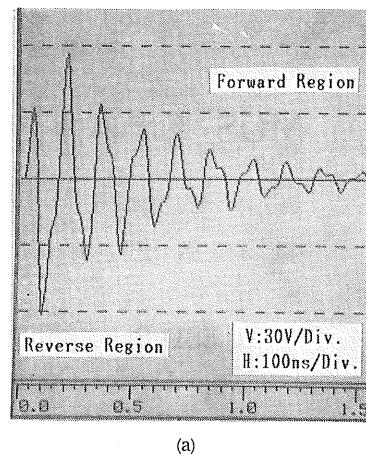
製パッケージの 74F00 は 3,000 V/mm の電界での故障率(パラメータの規格外値、機能的な誤動作、物理的損傷および破壊)は、印加後 168 時間において、それぞれ 65% と 57% であった。特に、エポキシ樹脂封止製パッケージの 74F00 は電界 500 V/mm 以下の環境下では、物理的な損傷を伴わないパラメータの変動、500~3,000 V/mm では機能的な誤動作が観測された。3,000 V/mm 付近では電子顕微鏡の解析結果からチップの表面に物理的な故障のホット・スポット(Hot spot)が見られた。

メタル・ゲートの 74C00 の場合はパッケージの種類に関係なかった。これは逆方向バイアス領域の降伏電圧(耐圧)が大きいために故障率は低かったと考えられる。エポキシ樹脂封止製パッケージの 74HC00 と 74C00 の MOS 系デバイスは 1,000~3,000 V/mm においてゲート酸化膜の破壊に見られるオキサイド・ラプチャ(Oxide rupture)が観測された。これは 74HC00 と 74C00 のゲート酸化膜は 1,200~600 Å であり、酸化膜の絶縁耐圧は 10⁷ V/cm 前後であるため、1,000~3,000 V/mm の高電界では容易に破壊されると推定される。

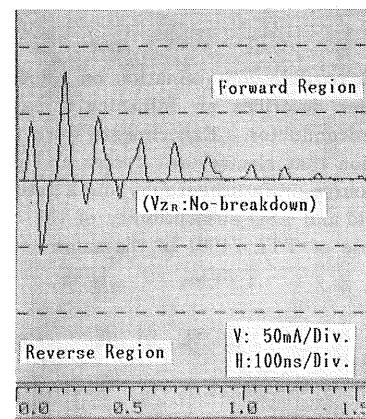
74F00 は最新の製造技術であるオキサイド・アイソレーション (Oxide isolation) で構成されており、低入力インピーダンスであるにもかかわらず故障率が高かった。この故障品の多くは入力の耐圧劣化によるリーケージの増大で、ほとんどが規格外値であった。P⁺ アイソレーションの 74S00 は 74F00 のような微細加工でないためダイオードやトランジスタ等の素子構成が大きく、かつ低インピーダンスのためエポキシ樹脂に蓄積された電荷による故障率は低かった。また全体的にセラミック封止製パッケージよりもエポキシ樹脂封止製パッケージ・デバイスの故障率が高かった。また故障率は電界が高くなるほどパッケージの材質、製造技術、チップの構成およびデザイン・ルールなど多くの要因に影響される。ここでは故障率の高かったエポキシ樹脂製パッケージの 74F00 についてコンピュータ・シミュレーションで解析を実行した。本解析ではパッケージに帶電した電荷が入力に放電して入力の素子が降伏したと仮定した。図 4(a)は図 2(a)のコンピュータ・シミュレーションによる電圧波形例で 74F00 が降伏する前の波形である。図 4(b)は図 4(a)が降伏したときの電流波形例である。これによると逆方向バイアス領域で 25 V 以上の放電パルス(第 1 発目から 3 発目)は降伏し、最小インピーダンス経路を経て過大電流が流れた。この降伏現象はカープ・トレーサ観察によると $V_B=25$ V 付近で雪崩降伏 (Avalanche breakdown) 領域に突入し、10 mA 以上の電流が局部的に集中して流れ、この状態が長く続くと二次降伏 (Secondary breakdown) が発生して熱破壊される。順方向バイアス領域では -0.6 V 以上のパルスが降伏した。このバイアス領域ではエピタキシャル層で多くの寄生ダイオードが発生する。これらダイオードの降伏電圧は -0.6 V 前後であり、これ以上の電圧が印加されると急激に電流が流れるが、電流は寄生ダイオード全般に流れるため分散し、また過大電流によって発生した熱はパッケージ等によって放熱されるためチップの熱破壊には大電流が必要である。以上は筆者らが先に発表した論文と同じような傾向が見られた⁷⁾。

5. あとがき

プリント基板等に実装された半導体デバイスの信頼性の評価方法について提案し、一般市販製品の標準論理系半導体デバイスについて評価した。この評価モデルによる実験と解析結果から高電界における半導体デバイスの信頼性を推定することが可能であることがわかった。これらより電子機器システムや能動素子である半導体デバイス等の設計に対して耐高電界環境対策の一つの設計指針を与えることができる。



(a)



(b)

図 4(a) 高電界における 74F00 評価回路のコンピュータ・シミュレーションによる電圧波形
 (b) 74F00 の降伏電流波形

Fig. 4 Computer simulation of 74F00 evaluation circuit in high electric field.
 (a) Voltage waveform.
 (b) Breakdown current waveform.

参考文献

- 1) A.R. Frederickson : *IEEE International Symposium on Electromagnetic Compatibility*, p. 395 (1982)
- 2) A.C. Trigonis : *EOS/ESD Symposium Proceedings*, p. 175 (1985)
- 3) S. Aur, A. Chatterjee and T. Polgreen : *IEEE Trans. Electron Device*, 35 (1988) 2189
- 4) W.D. Greason : *IEEE Trans. Industry App.*, IA-23 (1987) 205
- 5) 電気学会編：電気磁気学，pp. 57-86，オーム社 (1964)
- 6) J.R. Hunstman : *EOS/ESD Symposium Proceedings*, p. 64 (1984)
- 7) 樋口弘志, 前田宗雄, 山内健次, 高橋伸夫 : 静電気学会誌, 13 (1989) 431